# TP N 5
# Synthèse de fonctions logiques en langage VHDL dans l'environnement ISPlever.
# Programmation de composants.

## *Objectif de la séance*

Par la réalisation de différentes fonctions logiques ce TP a pour objectif de vous faire découvrir les différentes étapes menant à la programmation de composants de type CPLD (complex logic device) à savoir :

- Conception de la fonction demandée en langage de description VHDL
- Edition du code source en langage VHDL(*.vhd)
- Compilation et synthèse du code source
- Simulation des fonctions logiques réalisées
- Choix du composant à programmer
- Affectation des différents signaux aux broches du composant
- Fittage (compatibilité du programme avec l'architecture interne du composant)
- Programmation du composant
- Validation de la fonction réalisée à partir de la Tergane

# *Travail demandé*

- Concevoir un compteur modulo 12 possédant une /RAZ asynchrone.
- Concevoir un décodeur 1 parmi 12.
- Concevoir un chenillard sur 12 leds défilant dans un sens.

Pour toutes ces fonctions vous devrez respecter la démarche précédemment décrite. Par ailleurs il vous est conseillé de saisir le source à partir du bloc-note. En salle de micro-informatique vous pourrez alors le jour du TP importer votre source en renommant l'extension txt en vhd.

Le composant utilisé sera un CPLD de type iM4A5-64/32 10JC en boîtier de type PLCC44. L'affectation des différentes broches se fera en fonction des supports.