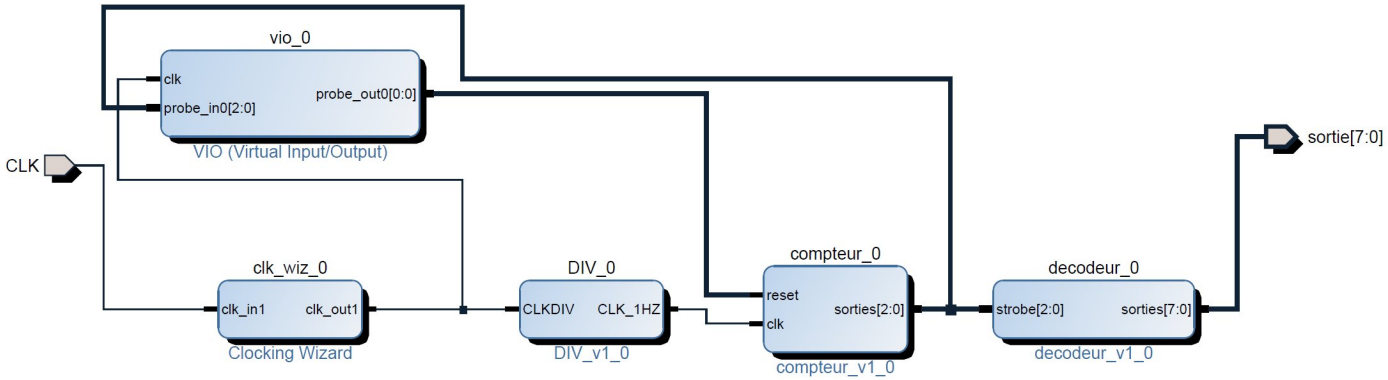
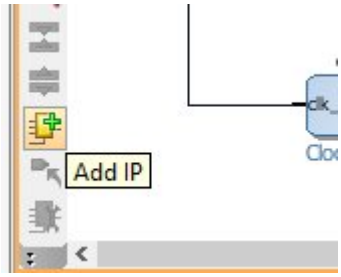
Debugage matériel avec L'IPCORE VIO

L'IPCORE VIO (Virtual Input/Output) est un IPCORE qui peut à la fois piloter et visualiser les signaux internes du FPGA. Le nombre et la largeur des ports d'entrées sorties sont personnalisables en fonction de l'application et des capacités du FPGA.
Le core du VIO est cadencé de façon synchrone et a donc besoin d'une horloge. On reprendra lors de cette séance le système du chenillard que nous avons exploité lors des séances précédentes.

Ouvrir le projet du chenillard et réalisez le schéma suivant :



L'IPCORE VIO peut être placé par les commandes suivantes :
Cliquez sur add_IP

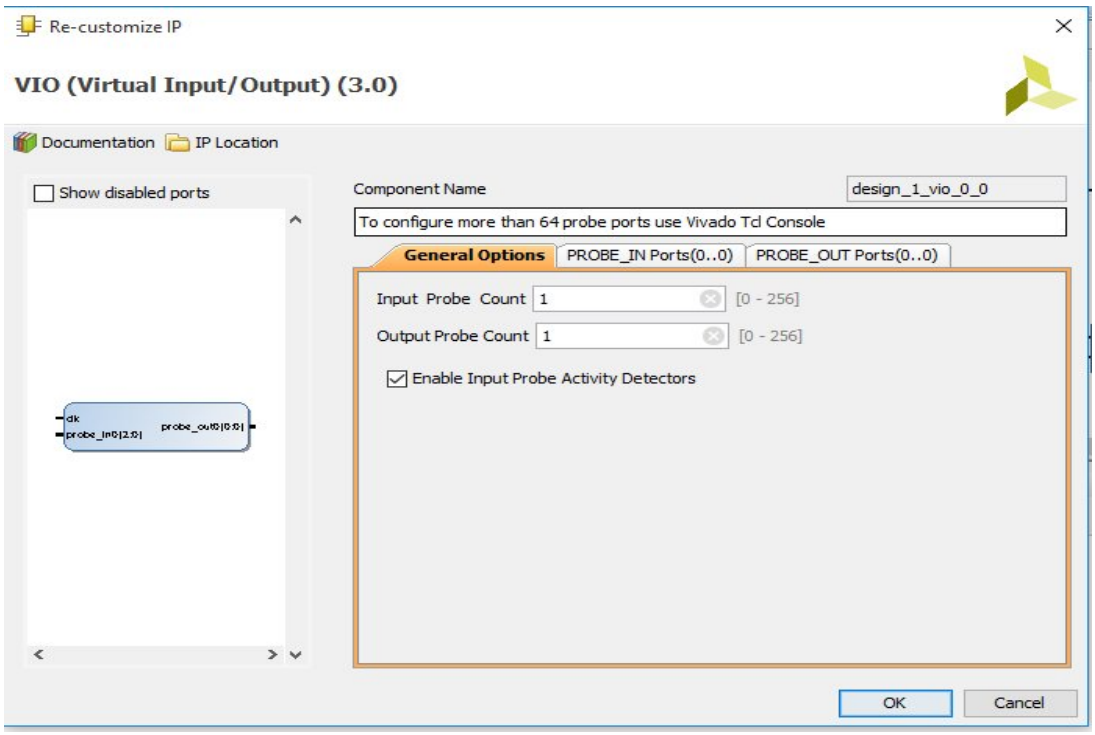


Choisir un VIO

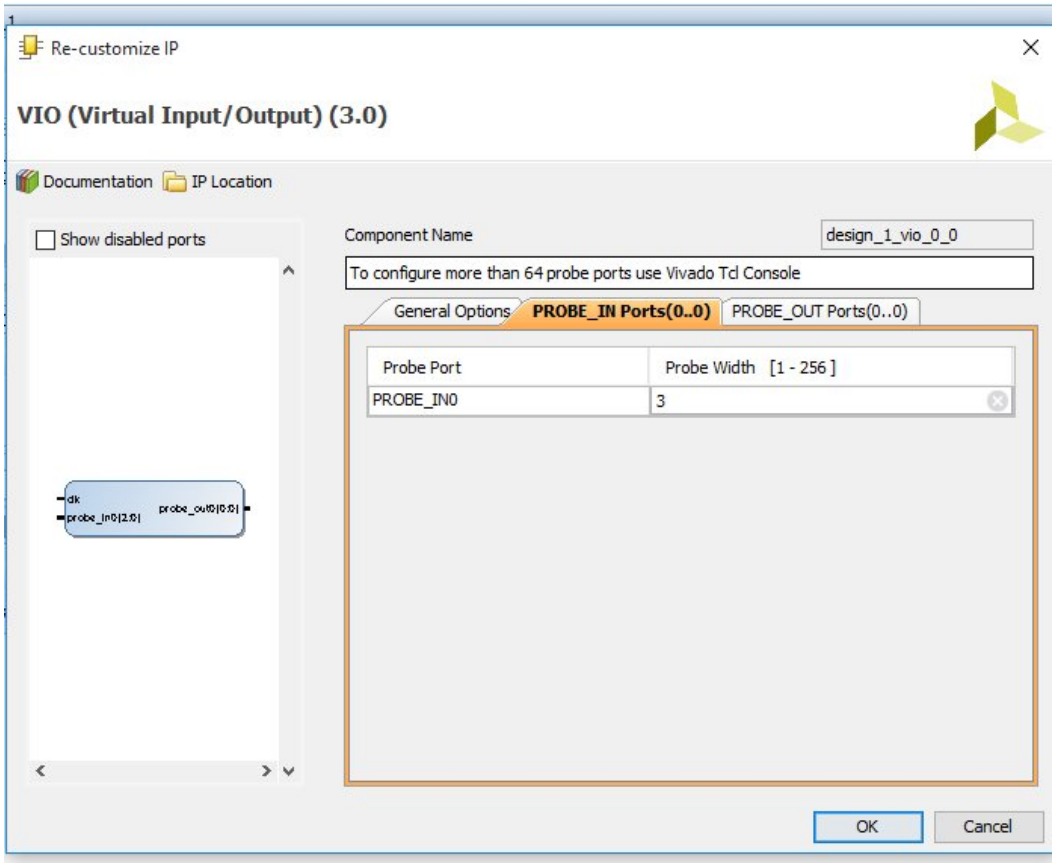


On ajoutera une sonde en entrée de trois bits pour visualiser l'état binaire du compteur et une sonde de 1 bit en sortie pour piloter le signal reset.

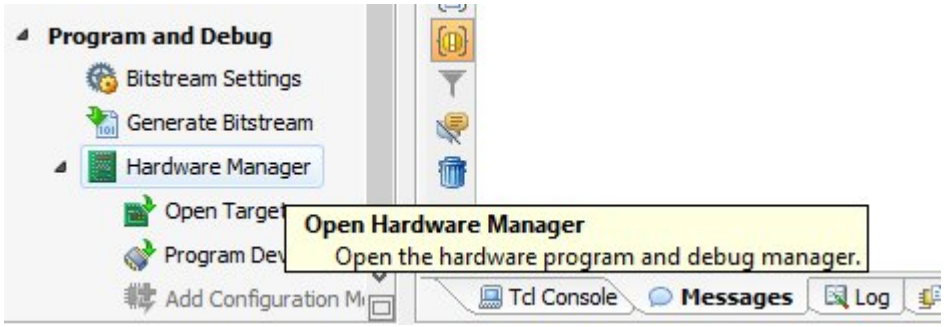
Double cliquez sur le VIO, choisir le nombre de sondes

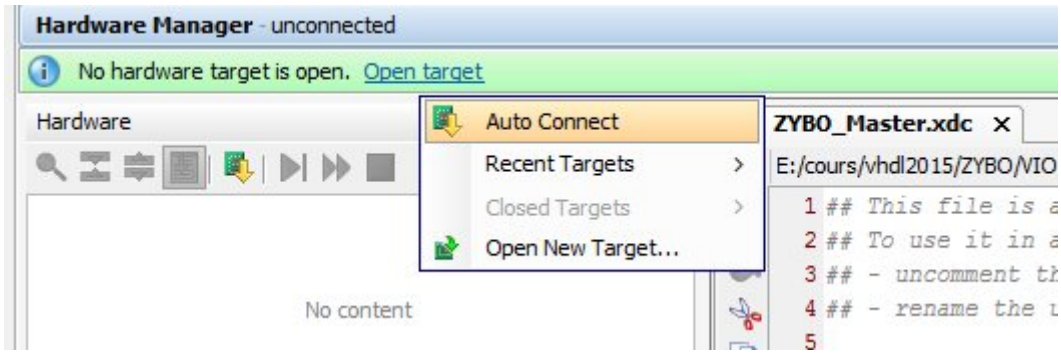


Choisir le nombre de bit pour les sondes



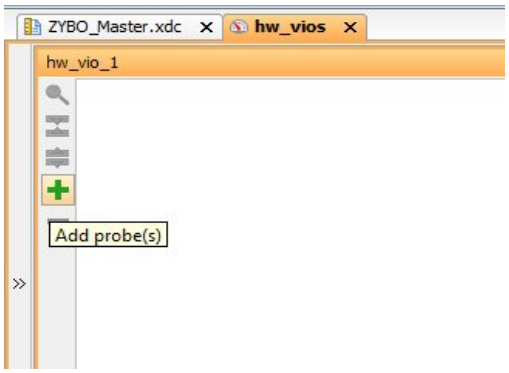
Câblez le VIO (voir le schéma précédent), générez le HDL WRAPPER et lancez la création du bitstream

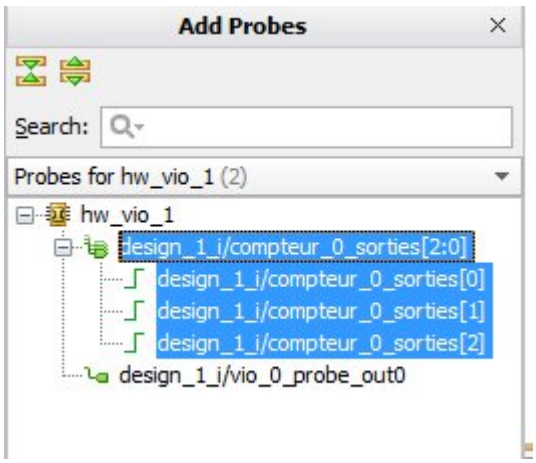




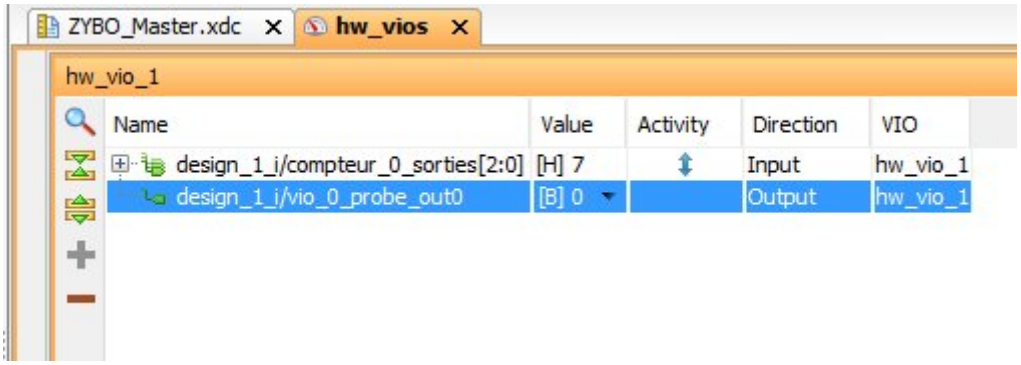
Programmez le FPGA

Sélectionnez les signaux à visualiser ou à piloter :

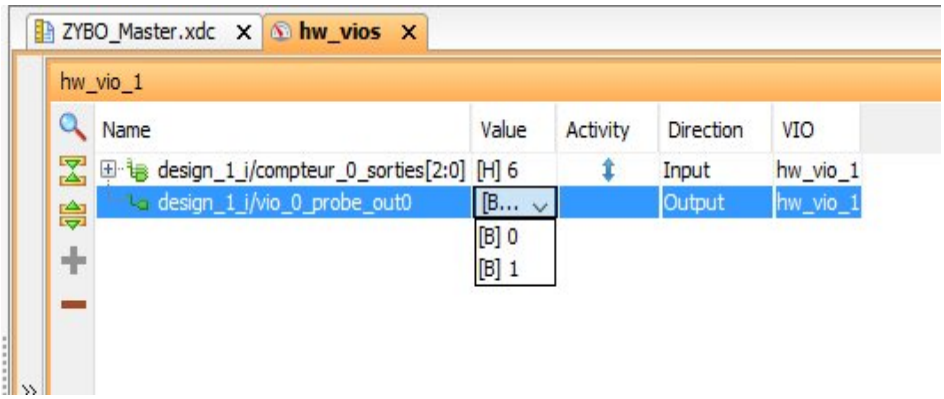




La sonde d'entrée et de sortie s'affichent :



Pour changer la valeur du signal reset cliquez sur



Au '1' logique le compteur se bloque

