



LES BUS EMBARQUES

(BUS VME)

Le Bus industriel VME

1) Introduction

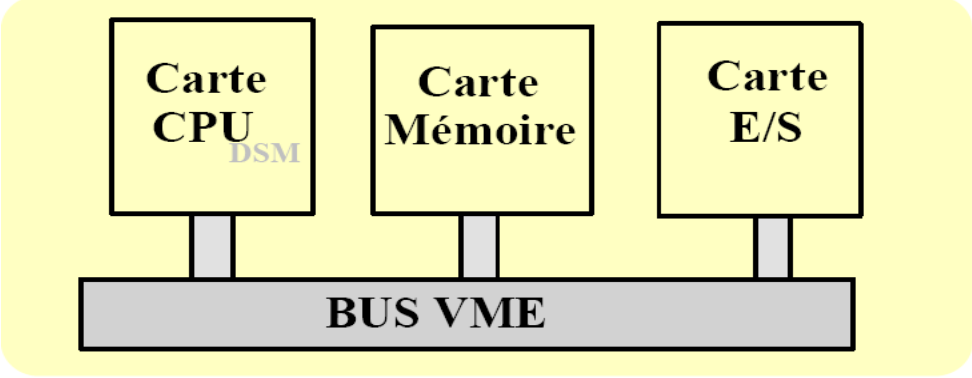
L'évolution technologique et le besoin croissant de communication entre différents systèmes électroniques a vu l'avènement d'une multitude de bus de plus en plus performants depuis ces trente dernières années.

	débit	interface	Multiprocessing Bus partagé	application	remarque
VME32	40Mo/s	//	oui	industrielle	Naissance en 1981 21 cartes max
VME64	80Mo/s	//	oui	industrielle	
VME64x	160Mo/s	//	oui	industrielle	
VME320	320Mo/s	//	oui	industrielle	
PCI 32	132Mo/s	//	oui	Pc carte	
PCI 64 2.2	528Mo/s	//	oui	Pc carte	
Compact PCI	528Mo/s		oui	industrielle	PCI2.2 boitier blindé + de cartes
l'AGP	2,1 Gbytes/s	//	non	Multimédia graphique	
PCI express 32x (32 voies)	8 Go/s	Série (plusieurs voies)	non	Multimédia graphique	
DMA/33	33.4Mo/s	serie	non	stockage	4
USB	1.5Mo/s	serie	non	periph	127
USB2	60Mo/s	serie	non	periph	127
IEEE1384	60Mo/s	serie	non	periph	63
SCSI	80Mo/s	serie	non	stockage	

Un bus est un ensemble de liaisons électriques qui permettent de relier entre eux différents systèmes électroniques. Le bus VME, par son grand nombre d'option est devenu un standard industriel au fil des années. Ce document est une présentation de ce bus VME

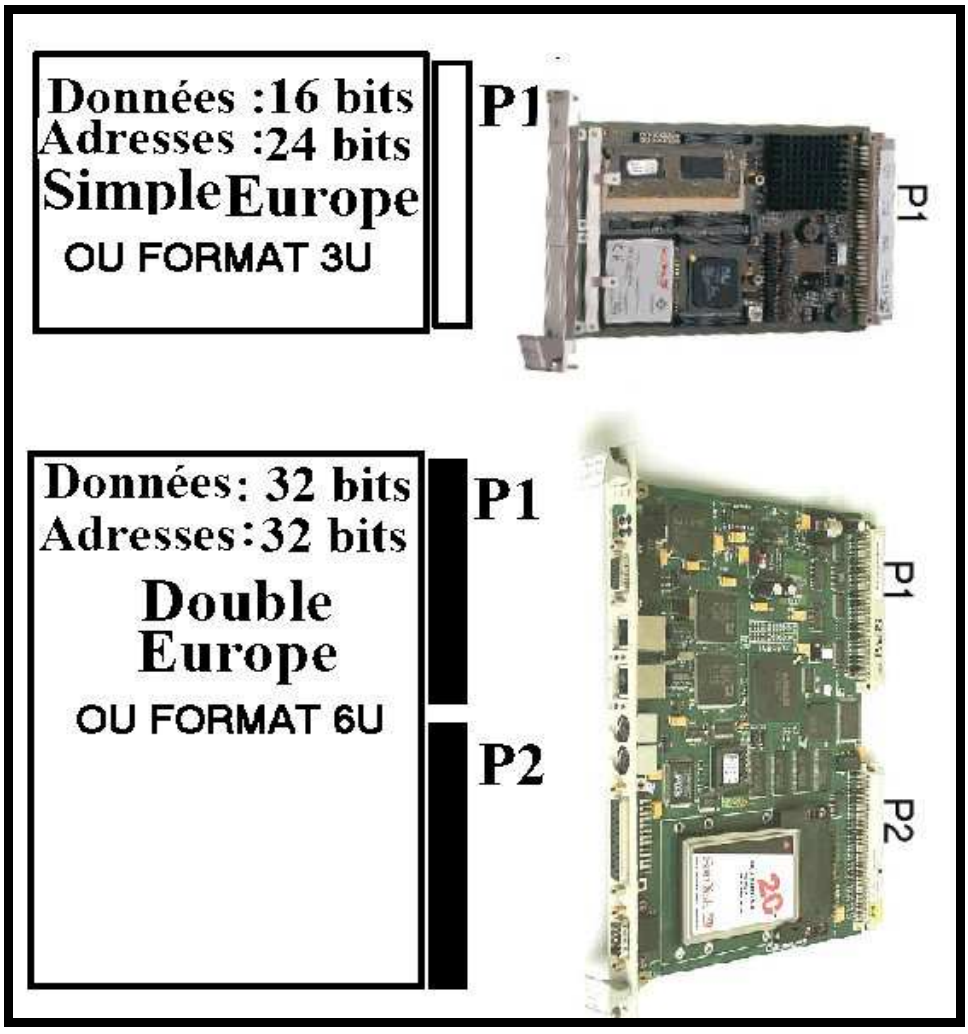
2) Présentation du bus VME32 (VERSA BUS EUROP)

Ce bus a été conçu pour des systèmes 8, 16 ou 32 bits. Il apparaît cependant aujourd'hui une extension 64 bits dénommé VME 64. Le bus VME est un bus asynchrone et multiprocesseur facilitant l'utilisation de plusieurs cartes à microprocesseur, cartes mémoires, cartes de communication ou cartes entrées/sorties ayant des caractéristiques de vitesses différentes.



2.1) Le format des cartes

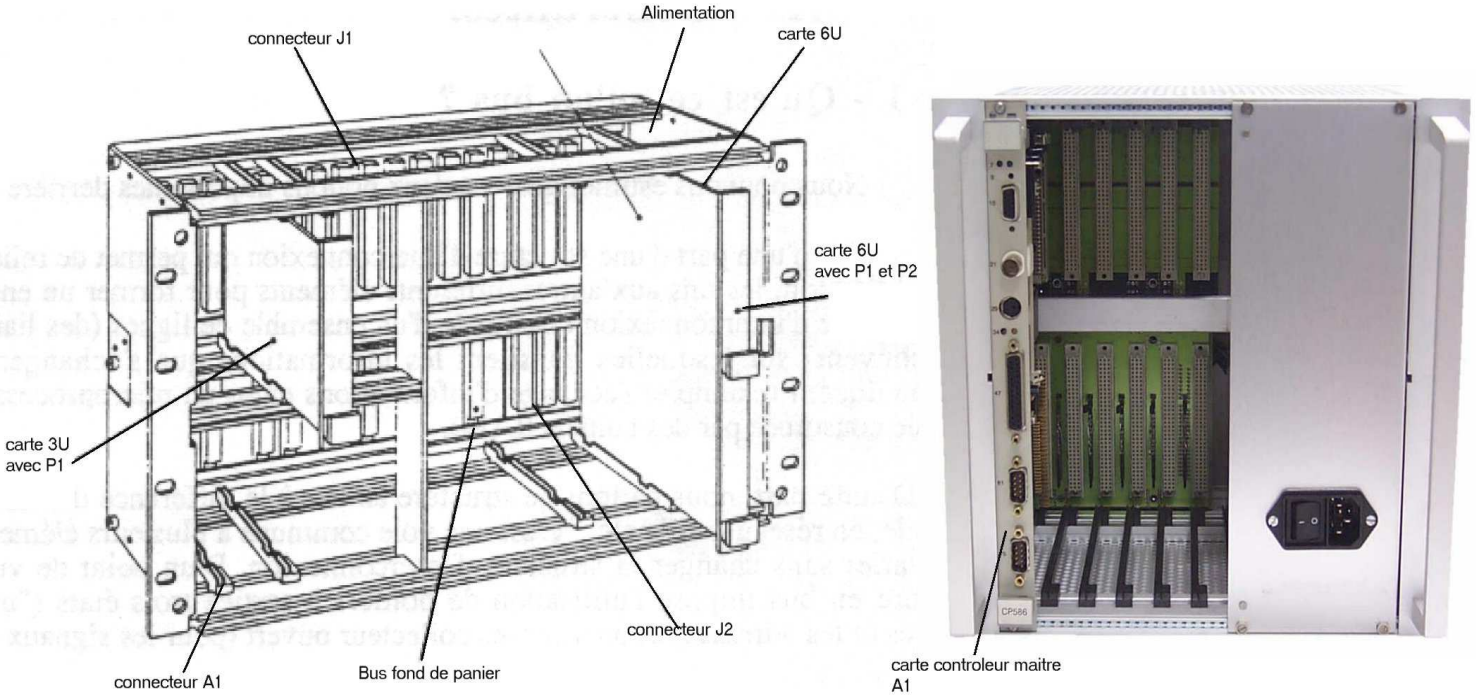
Il y a deux formats de cartes :
- Simple Europe (ou 3U) équipé d'un connecteur de 96 points appelé P1. Il permet de gérer un bus adresse de 24 bits et un bus données de 16 bits.
- Double Europe (ou 6U) équipé de deux connecteurs de 96 points P1 et P2. Il permet de gérer un bus adresse de 32 bits et un bus données de 32 bits.



P2 est une extension du bus données et adresses.

2.2) Aspect physique du bus VME

VME est un bus informatique. C'est un ensemble de liaisons électriques bien adaptées (réalisées par un circuit imprimé multicouche de qualité et des éléments de terminaison de lignes (terminaisons actives ou passives: ponts de résistances)) qui permettent de relier entre eux différents éléments d'un ordinateur.
Ces différents éléments sont reliés au bus par des connecteurs dont l'ensemble constitue ce que nous appelons un fond de "panier" ("back plane" en anglais, littéralement plan arrière). Chaque emplacement ou logement ("slot") dans le fond de panier peut recevoir une carte électronique ("board"). Les cartes viennent s'enficher et se connecter dans les emplacements du fond de panier. Il y a des fils pour les adresses, les données, les signaux de contrôle et l'alimentation en courant électrique.



2.3) Les familles d'informations

Les informations peuvent être classées en 4 catégories, les informations relatives aux :

- transfert des données
- interruptions
- arbitrages de bus
- système.

2.3.1) les transferts de données

Le VMEbus comprend un bus parallèle non-multiplexé de transmission de données (DTB data transfert bus) rapide, fonctionnant en mode asynchrone. Le DTB permet à un processeur ou à une unité d'accès direct à la mémoire (DMA) de sélectionner le périphérique ou l'emplacement mémoire désiré et de procéder au transfert des données vers ou à partir de cet emplacement ou périphérique.

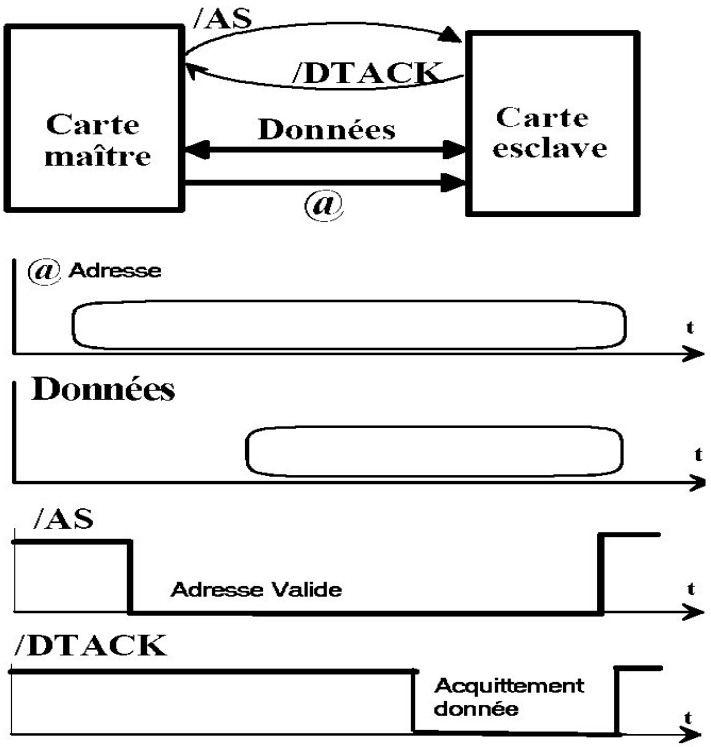
Les informations pour le transfert des données :

D0-D15	P1	Bus données 16 bits poids faible
D16-D32	P2	Bus données 16 bits poids forts
A1-A24	P1	Bus adresse
A24-A31	P2	Bus adresse 8 bits poids forts
AS*	P1	Address Strobe, validation @
DTACK	P1	Data Acknowledge, accusé données
DS0	P1	Data Strobe 0, validation de D7-D0
DS1	P1	Data Strobe 1, validation de D8-D15
WRITE	P1	Ecriture (par défaut on est en lecture)
AMO-AM5	P1	Adresse modify
LWORD	P1	Long mot, accés à un long mot
BERR*	P1	Bus error

Chaque échange de données sur le DTB a lieu entre un MAITRE et un ESCLAVE.
ESCLAVE: Module capable de décoder les lignes d'adresses du VMEbus et de répondre à un maître en acceptant ou en rejetant la transmission des données par l'intermédiaire des lignes de réponse DTACK et BERR.
DTACK: Acquittement d'une transmission reconnue.
BERR: Transmission refusée, l'adresse présentée n'est pas à l'intérieur des limites d'adressage de l'esclave.
Le MAITRE est le module qui contrôle l'échange de données et l'ESCLAVE le module adressé qui répond. Nous pouvons remarquer certaines cartes peuvent contenir à la fois un module maître et un module esclave (mémoire locale d'une carte processeur accessible par le VME).

Le protocole de transfert des données

Le protocole est de type poignée de main. Il met en oeuvre les informations /AS et /DTACK. Ce protocole est proche de celui d'un processeur de type 68xxx. La carte maître amorce le transfert en validant /AS, la carte esclave met fin au transfert en validant l'information /DTACK lorsqu'elle c'est affranchie du transfert des données. De façon simplifiée on peut résumer le transfert de la façon suivante



LWORD*: Cette ligne indique que le transfert se fera sur deux, trois ou quatre octets (Associé aux lignes DS0, DS1 et A1 donne la sélection des octets).

DS0* et DS1*: En plus de leur fonction de sélection des données à transmettre, ces deux lignes servent de strobe. Dans le cas d'un cycle d'écriture le premier front descendant d'une de ces deux lignes indique que le maître vient de placer des données stabilisées. Dans le cas d'un cycle de lecture le premier front montant signale à l'esclave qu'il peut enlever ses données du bus de données.

(AM0-AM5) Lignes des modificateurs d'adresse

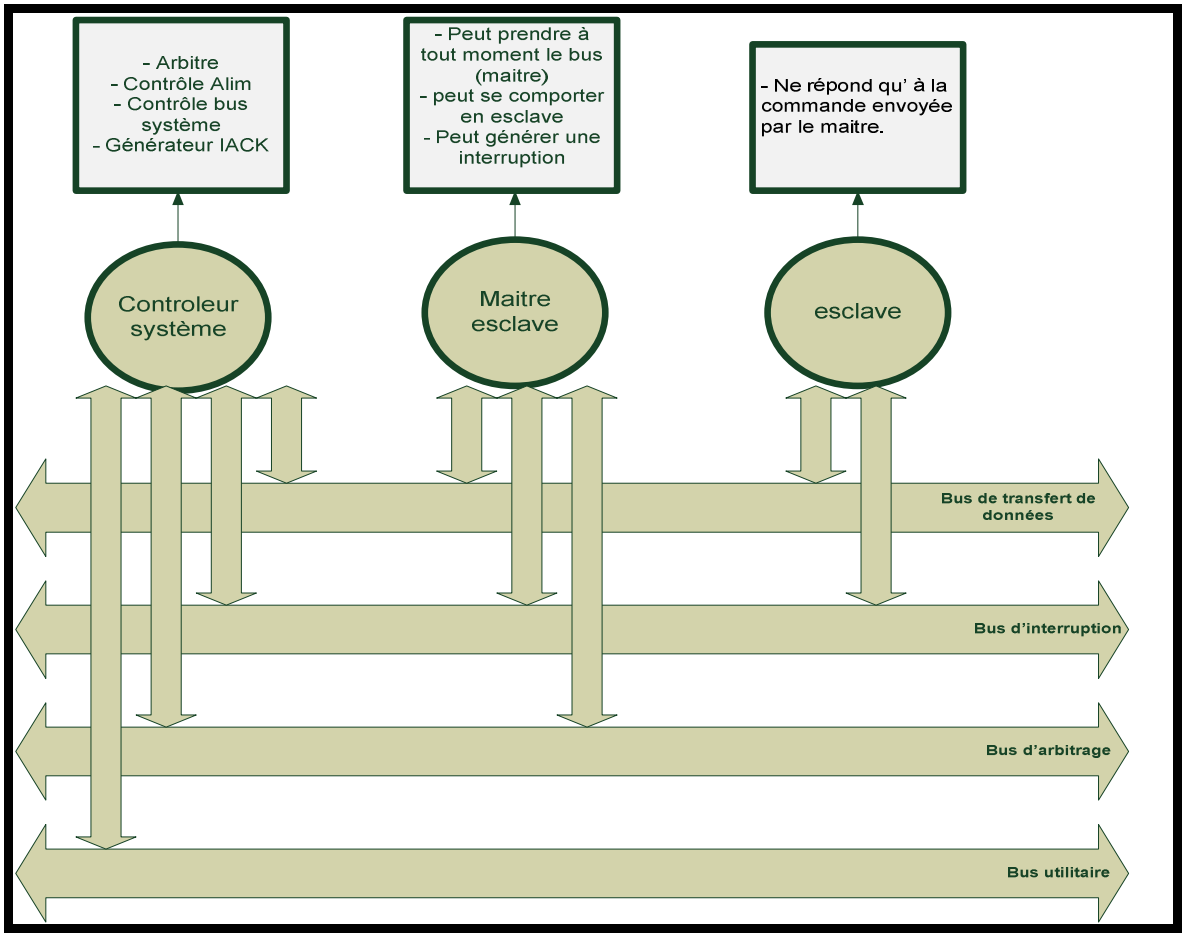
Avec ces lignes le maître peut envoyer des informations supplémentaires lors d'un transfert de données, informations qui précisent certaines fonctions. L'une des informations les plus utilisée est la sélection de la topographie mémoire. Les esclaves peuvent être conçus de manière à répondre à différentes adresses en fonction du modificateur d'adresse reçu. Ceci permet au maître qui utilise le bus de placer les ressources du système à des emplacements sélectionnés de la mémoire (ou de les éliminer de la topographie mémoire) en fournissant différents codes de modification d'adresse).

Le VMEbus définit trois domaines d'adressage :
- l'adressage court 64 Kilo octets.
- l'adressage standard 16 Méga octets.
- l'adressage étendu 4 Giga octets.

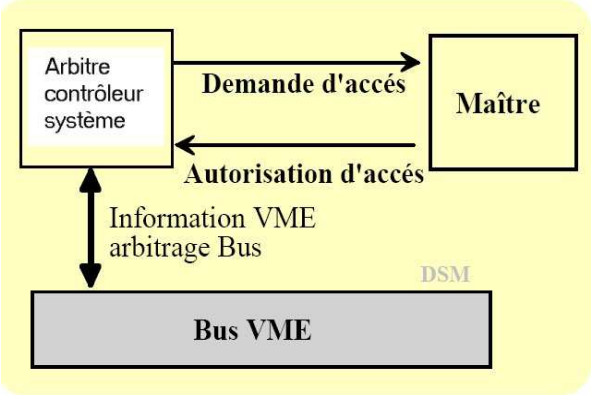
Un groupe de codes de modification d'adresse est prévu pour chaque type d'adressage. Un esclave qui reçoit un code modificateur d'adresse courte ignore les lignes A16 à A31 ;Celui qui reçoit un AM d'adresse standard ignore les lignes A24 à A31. Les esclaves qui ne décodent pas les lignes d'adresses A24 à A31 ne doivent pas répondre aux codes AM étendus. Les esclaves ne décodant pas les lignes A16 à A31 ne doivent répondre ni aux codes AM standards, ni aux codes AM étendus. Les cartes esclaves doivent être paramêtrés afin de réagir convenablement aux lignes des modificateurs d'adresses.

2.3.2) L'arbitrage du bus

Un bus VME peut comprendre plusieurs maîtres. Un maître doit accéder au bus pour initier un transfert de données ou pour obtenir l'acquittement lors d'une demande d'IT. Il est donc nécessaire de gérer l'accès au bus pour éviter que plusieurs cartes maîtres accèdent simultanément au bus VME. Le processus qui permet de déterminer quel maître a le droit d'utiliser le bus est appelé arbitrage.
Cette arbitrage est réalisée par l'arbitre du bus (contrôleur système). Cette fonction est supportée par la carte que l'on place à l'emplacement A1 (voir figure page N°3).



Chaque carte maître dispose d'un module d'interface propre à gère l'accès au bus. Ce module d'interface peut fonctionner suivant deux modes. Soit le maître libère le bus à partir de l'instant où :
- il n'en a plus besoin
- quand un autre maître fait une demande d'accès.

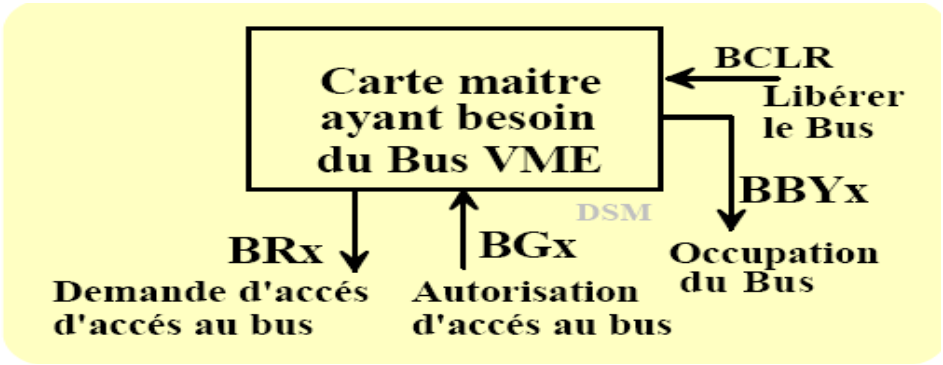


a) Les informations d'arbitrage de bus

BR3-BR0	P1	demande de prises de bus
BG3in-BG0in	P1	affectation du bus (entrée)
BG3out-BG0out	P1	affectation du Bus (sortie)
BCLR	P1	Remise à zéro du bus
BBSY	P1	Occupation du bus

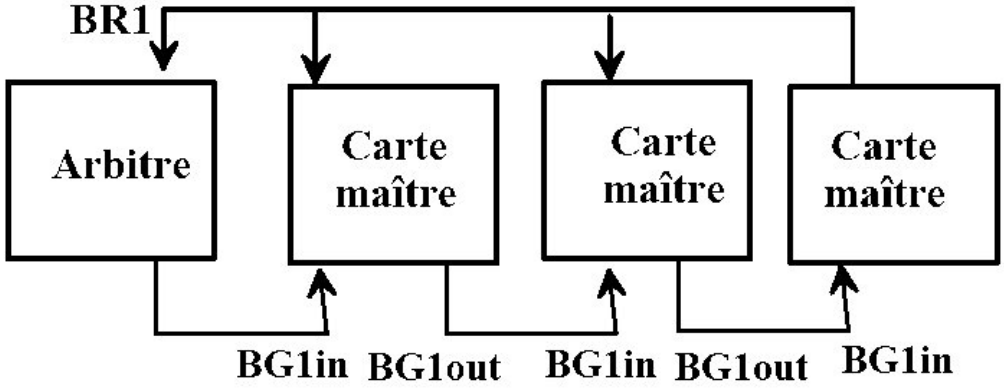
b) Demande de bus

Une carte maître demande l'accès au bus en activant l'information BRx. L'accés au bus est autorisé lorsque l'information BGx est activée. Lorsque la carte maître reçoit l'autorisation d'accès alors, elle valide l'information BBSY pour signaler qu'elle utilise le bus. Il peut être demandé à la carte ayant l'accès au bus de le libérer. Ceci est signifié par la ligne BCLR.



C) Le chainage des cartes (daisy chain)

Nous ne disposons que de 4 lignes pour demander les accès au bus. Une technique de chaînage peut être utilisée pour arbitrer l'accès au bus lorsque l'on dispose de plus de 4 cartes maîtres. Plusieurs cartes maîtres peuvent être connectées sur une même ligne BRx. Le chaînage porte alors sur l'information d'autorisation d'accès BGx. La carte la plus prioritaire est celle qui est la plus proche de l'arbitre de bus (la plus à gauche). L'exemple si dessous présente 3 cartes maîtres qui font la demande d'accès au bus par la ligne BR1.
Le chaînage porte sur l'autorisation portée par la ligne BG1.



l'arbitre doit se trouver à l'emplacement A1 ("slot" 1 le plus à gauche du châssis) et commande les broches Bgxin*
Remarque : Si une carte (ou un emplacement vide) n'utilise pas certaines lignes de demande du bus, les lignes d'entrée d'affectation du bus Bgxin doivent être connectées (par cavaliers) aux lignes de sortie respectives Bgxout.

2.3.3) Les stratégies d'arbitrages

Dans les systèmes multiprocesseurs, il est fréquent que différents processeurs se partagent des ressources communes. Dans le VMEbus la ressource essentielle est le DTB qui sert de moyen d'accès aux autres ressources. Par conséquent, le sous-système d'arbitrage du bus du système VMEbus répond à ce besoin. La caractéristique essentielle de l'arbitrage doit être la rapidité d'affectation du bus.
Le sous-système d'arbitrage du VMEbus est destiné à :
- éviter l'accès simultané de deux maîtres au bus.
- planifier les demandes simultanées émises par plusieurs maîtres pour optimiser l'utilisation des ressources.
C'est le module fonctionnel ARBITRE qui remplit cette fonction de trois façons possibles :

-option SGL (« SinGle Level »).
-option PRI (« PRIoritized »).
-option RRS ("Round Robin Select").

L'option arbitre SGL

(un seul niveau de priorité) ne satisfait que les demandes transmisses sur BR3* et détermine les priorités suivant le principe de la connexion en guirlande (« daisy chain »).

Hiérarchie à priorité fixe option PRI.

Les demandes sont hiérarchisées à partir du niveau des lignes de demande d'accés (BR3-BR0). Cette technique est dite statique car elle dépent uniquement du « cablage ». La demande par la ligne BR0 (BG0) est la moins prioritaire et la demande par la ligne BR3 (BG3) est la plus prioritaire. L'arbitre de bus commande la ligne BCLR pour demander à un maître de libérer le bus lorsqu'une une demande d'accès de plus haut niveau apparaît (« daisy chain possible »).

Hiérarchie attribué dynamiquement option RRS.

Une technique de priorité tournante circulaire peut être utilisée. L'arbitre attribut au premier cycle bus la priorité à la ligne BR0, au cycle suivant à la ligne BR1, puis BR2, puis BR3 puis BR0… et ainsi de suite. L'arbitre est dit de type RRS (Round Robin Select).

2.3.4) La gestion des interruptions à contrôleur unique.

Un contrôleur d'interruption unique scrute les lignes d'interruption IRQ1 à IRQ7 présentes sur le bus d'interruption et positionnés par un ou plusieurs modules générateurs. Lors de l'arrivée d'un interruption le contrôleur fait appel au module demandeur qui lui est associé et acquitte son interruption. En fonction des informations présentes dans le vecteur d'interruption, il lance la séquence correspondant au traitement d'interruption. On peut avoir plusieurs cartes contrôleur chacun contrôlant un certains nombres de lignes d'interruptions

a) Les informations pour demander les interruptions.

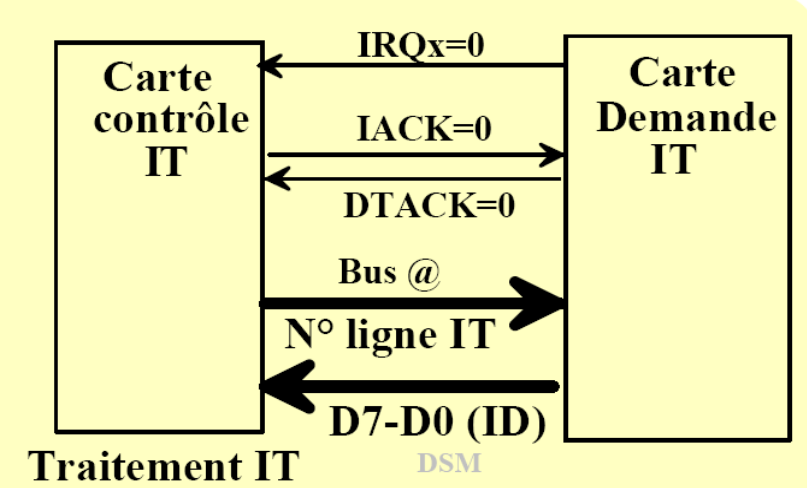
IRQ7*-IRQ1*	P1	7 niveaux d'interruption
IACK*	P1	Accusé de réception de l'IT
IACKin	P1	Accusé de réception de l'IT en entrée
IACKout	P1	Accusé de réception de l'IT en sortie

b) *La demande d'interruption*

Les demandes d'interruption ont lieu par l'une 7 des lignes IRQx.
Une demande d'IT se déroule en 3 phases :

Demande IT	Acquittement	Traitement
IRQx=0	IACK=0, DTACK=0	

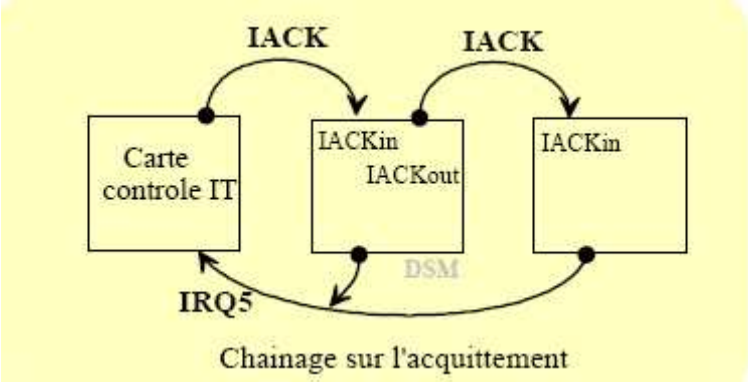
La carte qui accueille la demande d'interruption (le contrôleur système) lance une requête pour demander l'acquittement à la carte qui a fait la demande d'IT en validant l'information /IACK (« 0 »). A cette occasion, elle place sur le bus @ (A3, A2, A1), le N° de la ligne d'IT à acquitter. La carte qui se reconnaît s'acquitte en fournissant un d'octet d'identification (N° Vecteur) sur le bus données bas D7-D0 puis en validant l'information /DTACK.



c) Les interruptions partagées

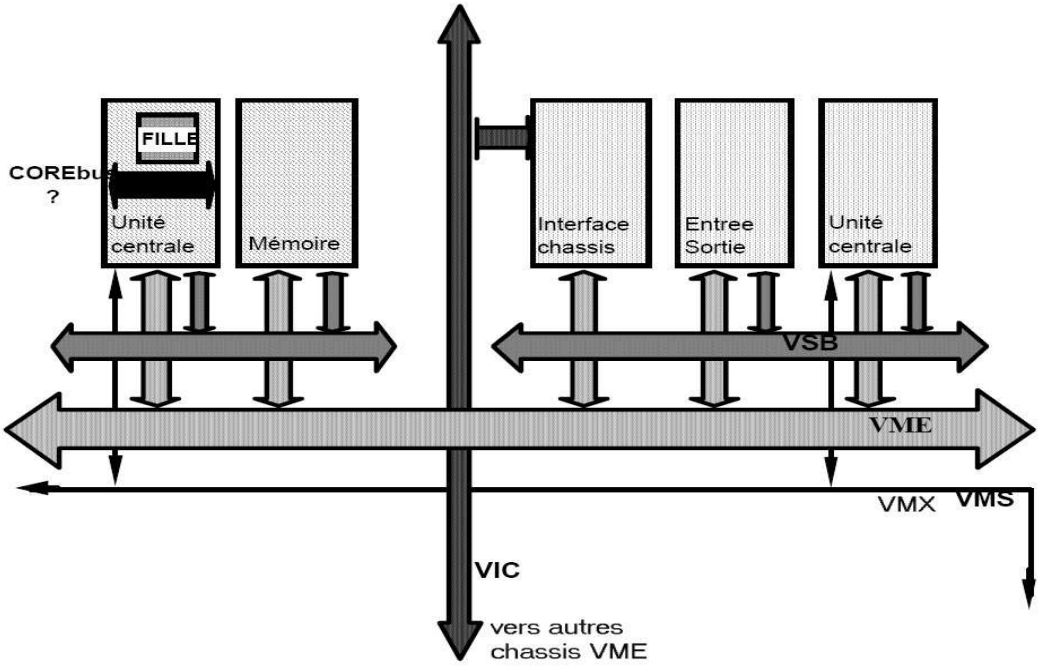
Une ligne de demande d'IT peut être partagée par plusieurs cartes. Un chaînage est réalisé sur l'information demande acquittement (IACK).
La carte la plus prioritaire est celle qui est entête de la chaîne.

Exemple : 2 cartes partagent la même
ligne de demande d'IT IRQ5.



2.4) Les évolutions du bus VME

Ces trente dernières années ont vu l'avènement de nouveaux types de bus se couplant aux bus VME.



Le bus VMX

C'est un bus auxiliaire. Il est de type parallèle et utilise le connecteur P2. Il permet la communication entre une carte maître et des cartes périphériques (E/S, mémoire locale..). C'est un bus local pour une carte maître.

- Le bus VMS (« Vme Serial »)

C'est un bus auxiliaire. Il est de type série synchrone et utilise le connecteur P1. La transmission série synchrone peut avoir un débit de 3,2 Mbits par secondes. Il permet d'échanger des signaux de service, des alarmes, de faire circuler des jetons..., c'est-à-dire des informations systèmes

VSB ("Vme Subsystem Bus")

C'est un bus;
- asynchrone.
- multiplexé.
- capacité d'adressage 4 Giga octets.
- 32 bits de données.
- au maximum 6 cartes par bus VSB.
- 1 ou 2 maîtres par bus.
- vitesse de transfert théorique maximale 80 Méga octets par seconde.

VIC ("Vme Inter-Crate bus")

Le VICbus (« Vme Inter-Crate bus ») est un bus de 32 bits multiplexé. Ce bus multi-maître est un câble qui permet de relier entre eux plusieurs châssis VME.

Le VME 64

Le VMEbus utilise des lignes séparées pour les adresses et les données. Si nous utilisons ces lignes ensembles alors il est possible de les faire travailler de façon multiplexé et d'obtenir ainsi un bus 64 bits pour les adresses et pour les données.
L'adressage 64 bits est obtenu en utilisant un nouveau code de modification d'adresse qui indique qu'il s'agit d'une adresse 64 bits. Ainsi huit nouveaux codes de modification d'adresse ont été ajoutés. De même, les spécifications des protocoles et chronogrammes pour utiliser les lignes de données pour transporter une adresse ont été définis.
Le transfert de données sur 64 bits est obtenu en utilisant quatre nouveaux codes de modification d'adresse qui indiquent qu'il s'agit d'un transfert de données sur 64 bits. Ce code est présenté en même temps que l'adresse et doit rester présent pendant tout le transfert du bloc de données. Ainsi quatre nouveaux codes de modification
d'adresse ont été ajoutés. De même, les spécifications des protocoles et chronogrammes pour utiliser les lignes d'adresses pour transporter une données ont été définis. La vitesse théorique maximale de transfert passe ainsi à **80 Méga octets** par seconde.

3) Les cartes mezzanines

Apparues il y a quelques années, les bus mezzanines offrent une flexibilité et une modularité très importantes aux systèmes industriels à base de cartes VME, PC ou même VXI. L'offre, qui au départ était éclatée (surtout dans le monde VME), se concentre aujourd'hui autour de quelques bus, qui bénéficient de travaux de normalisation internationale.
Les cartes mezzanines, appelées aussi cartes filles (ou parfois modules piggy back) sont des cartes électroniques reliées à une carte mère par le biais d'un connecteur implanté directement sur cette dernière. Par extension, on appelle bus mezzanine l'ensemble des spécifications qui fixent les aspects mécaniques (notamment la connectique) et électriques qui régissent les communications entre carte mère et carte fille.
Il existe trois grands types de modules mezzanines : M-Module , IP-Module, PMC. Ces bus sont très connus car ils ont rencontré un vif succès commercial. L'organisme qui contrôle la standardisation des bus VME et VXI ; le VITA dénombre par ailleurs une trentaine de types de bus mezzanines (bus propriétaires).

M-Modules

Ces modules ont été mis au point par la société allemande Men Mikro Elektronic en 1988. Ce bus fait l'objet d'une normalisation par un comité du VITA, le VITA-12-199x-MModule. En 1992 fut créée l'association MUMM (Manufacturers and Users of M-modules) destinée à promouvoir ce format mezzanine et surtout à favoriser la coopération entre fabricants et utilisateurs. Actuellement, plus de 200 références existent au catalogue des différents constructeurs.

IP-Modules

Le principe des IP (Industry Pack) a été inventé en 1988 par la société américaine Greenspring. Ce bus mezzanine est lui aussi en cours de normalisation au sein du comitéVITA-4-1995-IP-Modules. Plus de 250 modules chez une trentaine de fabricants indépendants sont disponibles sur le marché. La popularité de ce bus mezzanine et son extension internationale sont essentiellement dûes au fait que Motorola, leader incontesté dans le domaine du VME, l'a adopté.

PMC

Le bus PMC (PCI mezzanine Card) a fait son apparition en même temps que les cartes à base de processeurs R.I.S.C (Reduced Instruction Set Computer) comme le PowerPC ou le processeur Alpha. A l'origine de ce nouveau standard, la volonté d'exploiter le bus local PCI (Peripheral Component Interface) utilisé avec les processeurs PowerPC et Alpha (et développé à l'origine en 1992 par Intel pour ses processeursx86 et pentium). L'importance très rapide prise par le PCI dans le monde des cartes périphériques du monde PC, ne pouvant
laisser insensible les acteurs du monde des cartes industrielles. Normalisée par le comité P186 de l'IEEE, la spécification du PMC définie un format de cartes mezzanines (donc qui s'implante parallèlement à une carte mère) qui utilise le bus PCI comme bus local. Cette norme est en fait la réunion de deux standards : le bus PCI (pour les couches électroniques et logiques) et le CMC

(Common Mezzanine Card) pour la partie mécanique. Le module PMC a une taille deux fois plus grande que les modules IP ou M.

