

TP Système numérique
Tutorial sur la suite logicielle
Xilinx VIVADO ZINQ

```
ENTITY comparateur IS
  GENERIC (delai: TIME := 7 ns); -- delai par defaut, modifiable
  PORT (vecteur1, vecteur2 : IN bit_vector (3 DOWNTO 0);
        pg, egal, pp : IN bit;
        v1pgv2, v1egalv2, v1ppv2 : OUT bit);
END comparateur;

ARCHITECTURE comportementale OF comparateur IS
BEGIN
  PROCESS (vecteur1, vecteur2, pg, egal, pp)
  BEGIN

    v1pgv2 <= '0';      -- initialisation obligatoire,
    v1egalv2 <= '0';    -- sinon des bascules sont
    v1ppv2 <= '0';      -- rajoutees pour synchroniser les
                        -- signaux

    IF vecteur1 > vecteur2 THEN
        v1pgv2 <= '1' AFTER delai;
        v1egalv2 <= '0' AFTER delai;
        v1ppv2 <= '0' AFTER delai;
    ELSIF vecteur1 = vecteur2 THEN
        v1pgv2 <= pg AFTER delai;
        v1egalv2 <= egal OR NOT(pg OR pp) AFTER delai;
        v1ppv2 <= pp AFTER delai;
    ELSIF vecteur1 < vecteur2 THEN
        v1pgv2 <= '0' AFTER delai;
        v1egalv2 <= '0' AFTER delai;
        v1ppv2 <= '1' AFTER delai;
    END IF;
  END PROCESS;
END comportementale;
```



Sommaire

Architecture de la famille XILINX ZYNQ page N°3
Utilisation de la logique programmable de la carte ZYBO page N°14
Mise en place d'un AXI timer page N°55
Exploitation du BUS EMIO Sur la plateforme ZYNQ page N°87
Mise en œuvre d'une liaison série V24 sur la carte ZYBO page N°95
Création d'un environnement autonome sur SDCARD page N°108
Implantation d'un double cœur page N°121
Une pile IP pour la carte ZYBO page N°148
LINUX sur la carte ZYBO page N°159
La distribution XILLINUX sur la carte ZYBO page N°166
Debugage matériel sur ILA page N°179
L'outil de synthèse de haut niveau (HLS High Level Synthesis) page N°191

Architecture de la famille XILINX ZYNQ

1) Présentation de la famille de SOC ZYNQ

Les systèmes on chip (SOC) ZYNQ de la société xilinx intègre :

Un système de traitement PS (processing system) basé sur un processeur double cœur ARM cortex A9 capable d'accueillir un système d'exploitation comme LINUX

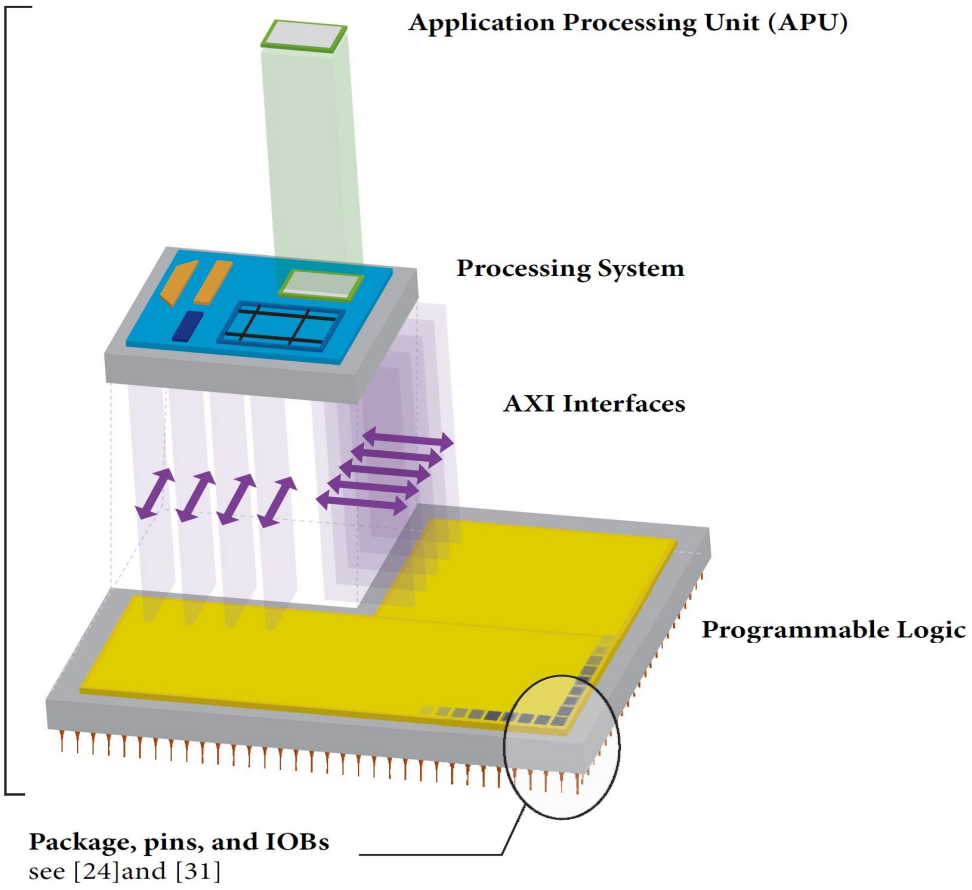
Un système de programmation logique PL (programmable logic) avec un FPGA de la série XILINX-7

Ils existent différents modèles de ZYNQ dont les caractéristiques sont résumées ci-dessous:

Table 2.3: Zynq-7000 family members

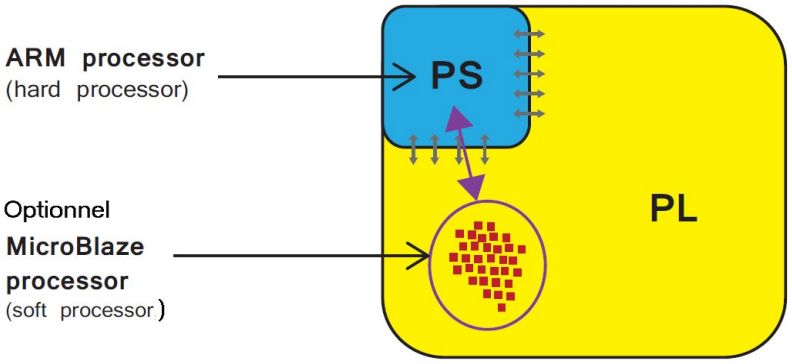
	Z-7010	**Z-7015**	**Z-7020**	**Z-7030**	**Z-7045**	**Z-7100**
Processor	Dual core ARM Cortex-A9 with NEON and FPU extensions					
Max. processor clock frequency	866MHz			1GHz		
Programmable Logic	Artix-7			Kintex-7		
No. of FlipFlops	35,200	96,400	106,400	157,200	437,200	554,800
No. of 6-input LUTs	17,600	46,200	53,200	78,600	218,600	277,400
No. of 36Kb Block RAMs	60	95	140	265	545	755
No. of DSP48 slices (18x25 bit)	80	160	220	400	900	2020
No. of SelectIO Input/Output Blocks[a]	HR: 100 HP: 0	HR: 150 HP: 0	HR: 200 HP: 0	HR: 100 HP: 150	HR: 212 HP: 150	HR: 250 HP: 150
No. of PCI Express Blocks	-	4	-	4	8	8
No. of serial transceivers	-	4	-	4	8 or 16[b]	16
Serial transceivers maximum rate	-	6.25Gbps	-	6.6Gbps / 12.5Gbps [c]	6.6Gbps / 12.5Gbps [b]	10.3Gbps

Le bus industriel AXI permet de connecter la partie PS avec la partie PL

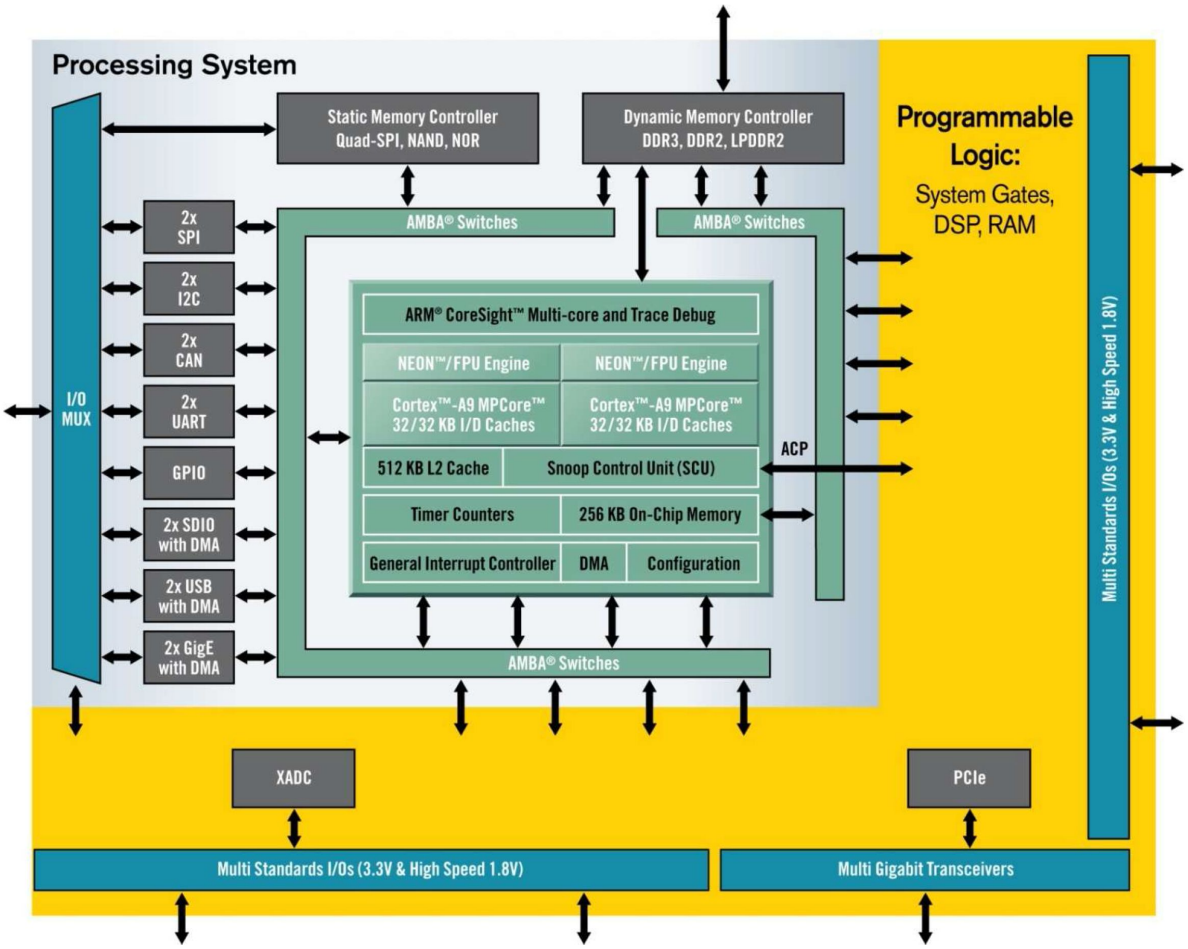


2) Description de la partie PS du ZYNQ

Tous les systèmes ZYNQ ont la même architecture et ils contiennent tous un processeur double cœur ARM cortex A9. C'est un processeur en dur (hard processor) comparé au processeur logiciel (soft processor). Le ZYNQ permet l'utilisation du soft processor mais dans la partie PL du circuit. L'appellation du soft processor est microblaze comme sur la série de FPGA SPARTAN ou VIRTEX.

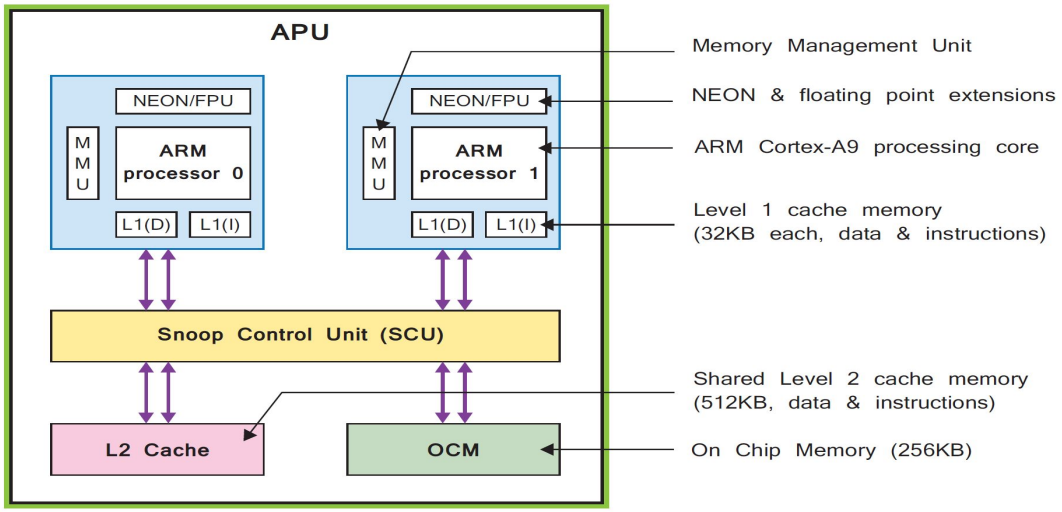


Le système de traitement PS n'est pas simplement basé que un cœur de processeur ARM mais c'est un ensemble de ressources de traitement associé formant une APU (Application Processing Unit). L'APU comprend des interfaces vers des périphériques et la mémoire, des périphériques, de la mémoire cache, des systèmes d'interconnexion et des générateurs d'horloge. L'architecture de l'APU est donnée ci-dessous :



L'APU est composé de deux cœur de processeur ARM chacun associé à plusieurs unités de traitement ;

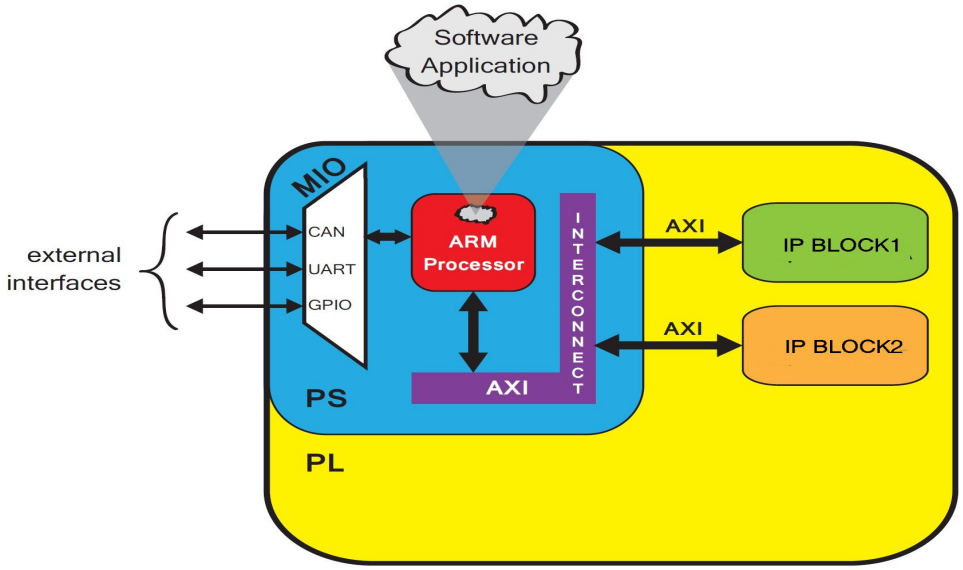
- Un moteur de traitement multimédia NEON (Media Processing Engine (MPE))
- Une unité de traitement à virgule flottante (FPU)
- Une unité de management de mémoire (Memory Management Unit (MMU)) essentiel pour faire tourner un OS comme LINUX
- De la mémoire cache de niveau 1 et de niveau 2
- De la mémoire OCM On Chip Memory



Une unité de contrôle SNOOP (Snoop Control Unit (SCU)) forme une passerelle entre les cœurs ARM et la mémoire cache de niveau 2 et la mémoire OCM. Cette unité permet de s'interconnecter avec la partie PL. l'ARM cortex A9 peut opérer jusqu'à la fréquence 1GHz. Chacun des deux cœurs a de la mémoire cache de niveau 1 de 32KB pour les données et les instructions. Les deux cœurs se partagent de la mémoire cache de niveau 2 de 512KB pour les instructions et les données de la mémoire OCM de 512KB. Le rôle de l'unité MMU est de translater les adresses virtuelles et physiques.

3) Les interfaces externes du système de traitement PS

La partie PS du ZYNQ dispose d'une grande variété d'interfaces à la fois entre le PS et le PL mais aussi avec les composants externes. La communication entre le PS et les interfaces des périphériques externes est assurées par un bus d'entrée sorties multiplexés (Multiplexed Input/Output (MIO)) qui peut fournir jusqu'à une connectivité de 54 broches.

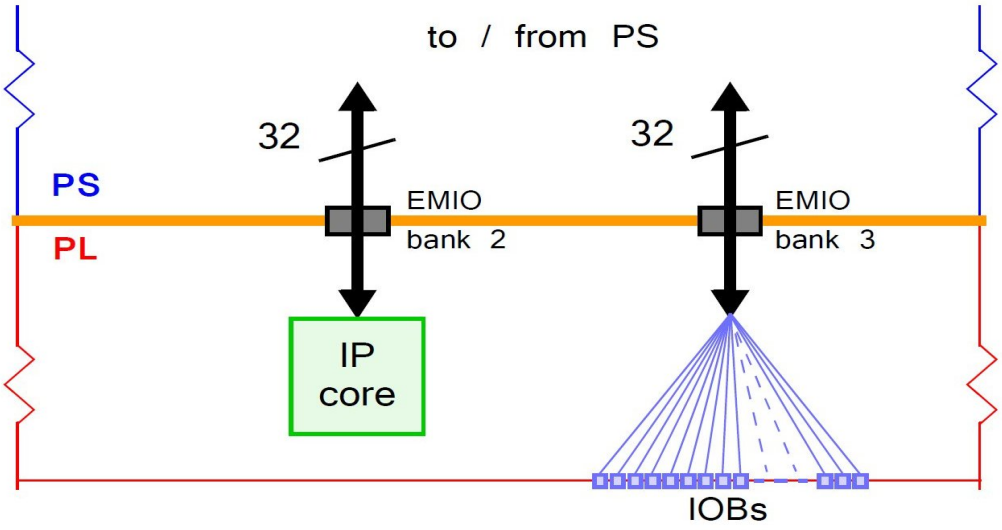


Comme indiqué dans le tableau ci-dessous, on dispose de 54 broches de MIO pour connecter vers le monde extérieur les périphériques du PS

Table 2-2: **PS Signal Pins**

Group	Name	Type	Zynq-7000 Family Pin Count	7z010 CLG225 Pin Count	Voltage Node	Description
Clock	PS_CLK	I	1	1	V_{CCO_MIO0}	System reference clock. See Chapter 25, Clocks.
Reset	PS_POR_B	I	1	1	V_{CCO_MIO0}	Power on reset, active low. See Chapter 26, Reset System.
	PS_SRST_B	I	1	1	V_{CCO_MIO1}	Debug system reset, active Low. Forces the system to enter a reset sequence. See Chapter 26, Reset System.
MIO	PS_MIO[15:0]	I/O	16	16	V_{CCO_MIO0}	Refer to section 2.5 PS-PL MIO-EMIO Signals and Interfaces and UG865 *Zynq-7000 AP SoC Package and Pinout Guide.*
	PS_MIO[53:16]	I/O	32	16	V_{CCO_MIO1}	
	PS_MIO_VREF	Ref	1	0	V_{CCO_MIO1}	Voltage reference for RGMII differential input receivers, refer to UG933, *Zynq-7000 AP SoC PCB Design and Pin Planning Guide.*
DDR	PS_DDR_xxx	I/O	73	51	V_{CCO_DDR}	See Chapter 10, DDR Memory Controller.
	PS_DDR_VR[N,P]	N/A	2	1	~	DDR DCI voltage reference pins, refer to UG933, *Zynq-7000 AP SoC PCB Design and Pin Planning Guide.*
	PS_DDR_VREF	Ref	4	4	~	Voltage reference for DDR DQ and DQS differential input receivers, refer to UG933, *Zynq-7000 AP SoC PCB Design and Pin Planning Guide.*

Certaines connexions peuvent aussi être assurées par le bus EMIO (Extended MIO (EMIO)) qui ne dispose pas d'un chemin direct du PS vers les connections externes (broches du circuit) mais un lien qui passe à travers les ressources d'entrées sorties du PL. L'EMIO peut être utilisé lorsque les 54 broches du MIO ne suffisent plus ou pour interfacer le PS avec des IP blocks implémenté dans la partie PL sans utiliser l'interconnexion plus complexe du bus AXI.



Les différents périphériques d'interfaces du PS vers le monde extérieur sont donnés ci-dessous

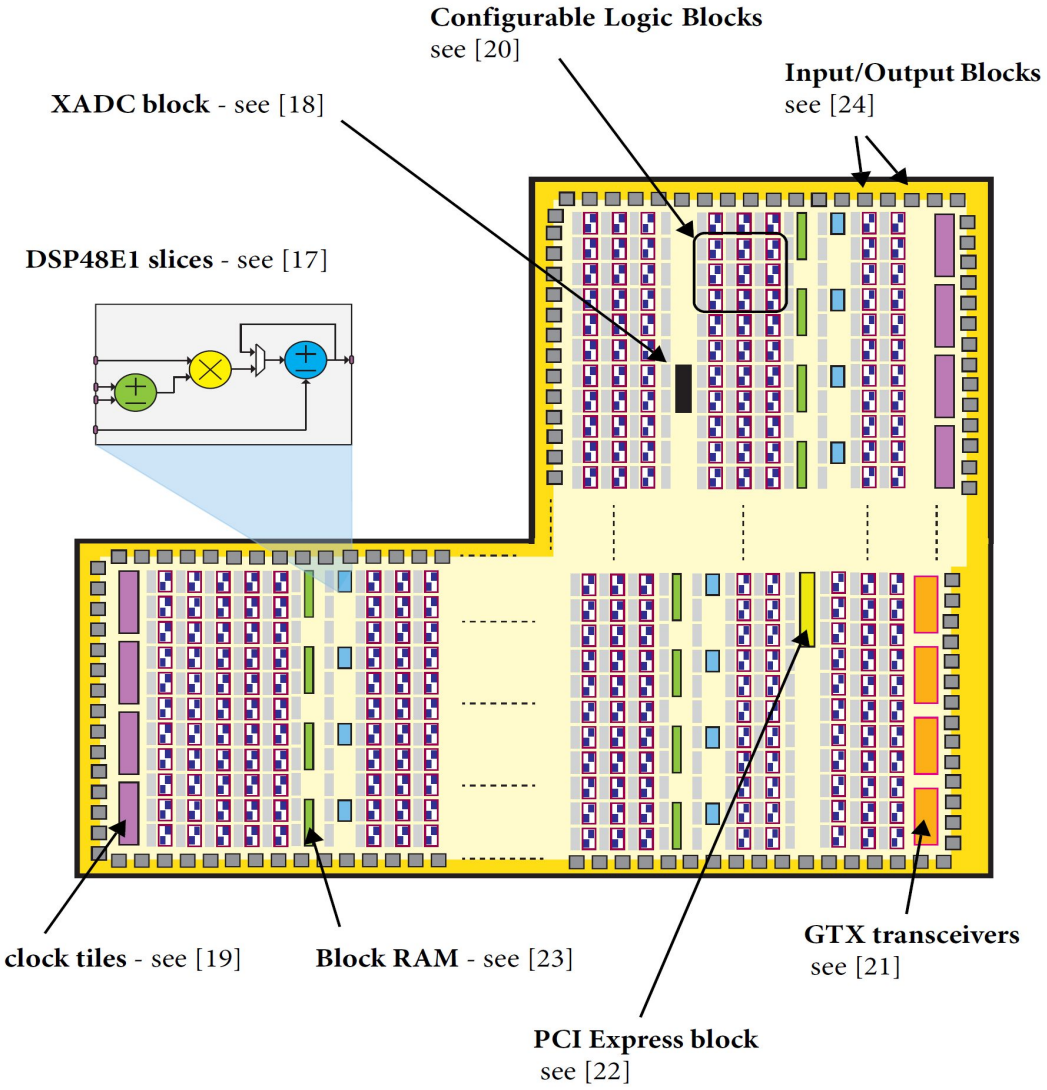
I/O Interface	Description
SPI (x2)	Serial Peripheral Interface [10] *De facto standard for serial communications based on a 4-pin interface. Can be used either in master or slave mode.*
I2C (x2)	I^2C bus [14] *Compliant with the I2C bus specification, version 2. Supports master and slave modes.*
CAN (x2)	Controller Area Network *Bus interface controller compliant with ISO 118980-1, CAN 2.0A and CAN 2.0B standards.*
UART (x2)	Universal Asynchronous Receiver Transmitter *Low rate data modem interface for serial communication. Often used for Terminal connections to a host PC.*
GPIO	General Purpose Input/Output *There are 4 banks GPIO, each of 32 bits.*
SD (x2)	*For interfacing with SD card memory.*
USB (x2)	Universal Serial Bus *Compliant with USB 2.0, and can be used as a host, device, or flexibly ("on-the-go" or OTG mode, meaning that it can switch between host and device modes).*
GigE (x2)	Ethernet *Ethernet MAC peripheral, supporting 10Mbps, 100Mbps and 1Gbps modes.*

4) Description de la partie PL du ZYNQ

La partie PL est basé sur un FPGA série 7 du type ARTIX ou KINTEX suivant le modèle de ZYNQ.

Le FPGA est constitué :

- ✓ De CLB (*Configurable Logic Blocks) groupement d'éléments logiques*
- ✓ Des matrices de commutation pour interconnecter les CLB entre eux
- ✓ D'entrée-sorties *Input/Output Blocks (IOBs)*
- ✓ Des blocs de RAM
- ✓ Des blocs de traitement du signal numérique **DSP48E1s**
- ✓ D'un bloc XADC



Les transceivers GTX sont des blocs d'interface de communications à haute vitesse et qui sont capables de supporter des interfaces industrielles du type PCI Express, Serial RapidIO, SCSI and SATA

La partie PL inclut un autre composant le block XADC qui est double convertisseur analogique numérique de 12 bits qui peut soutenir un taux d'échantillonnage de 1Msps sur le signal d'entrée. Le contrôle du bloc XADC peut être assuré pas le bloc d'interface PS-XADC du PS

5) Interfaçage entre le PS et le PL

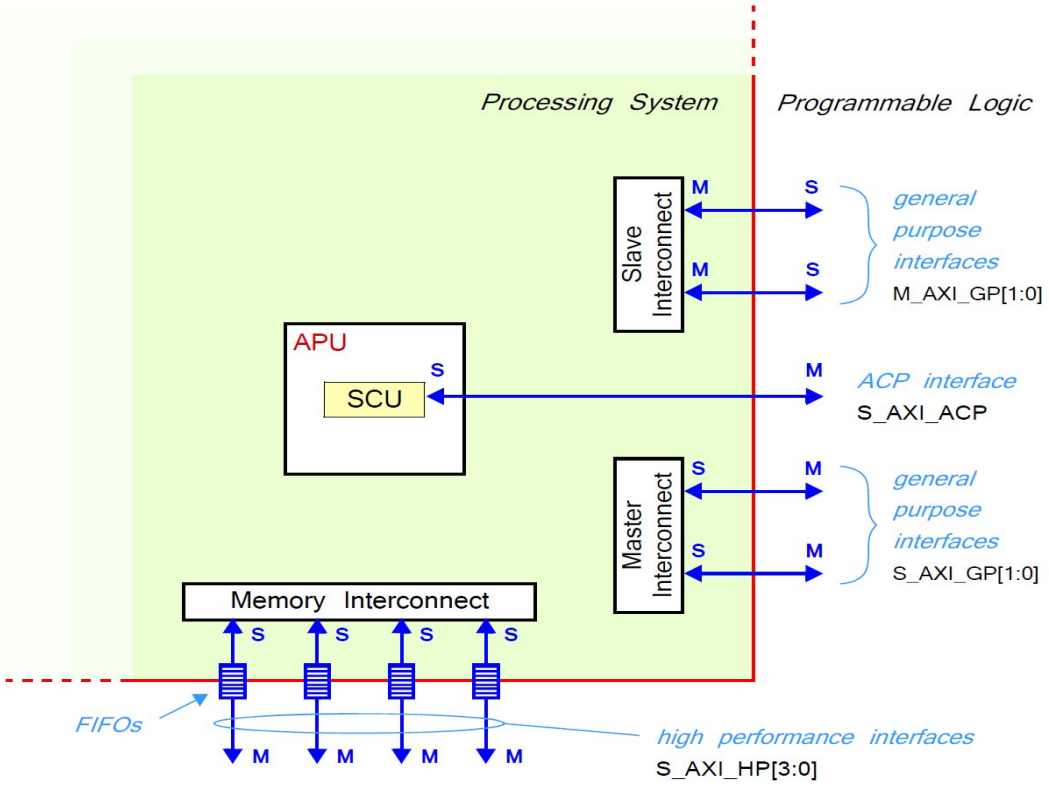
Cet interfaçage peut s'effectuer :

- Par le bus EMIO
- Par le bus AXI

AXI est l'abréviation de Advanced eXtensible Interface est la version actuelle l'AXI4 qui est une composante du standard ouvert AMBA 3.0. Beaucoup de systèmes et d'IP blocs sont fournis avec le bus AXI4. Le standard AMBA a été développé dans la passé par la société ARM pour ces microcontrôleurs. Ils existent trois types de format pour le bus AXI4 chacun ayant un protocole de bus différent qui sont résumés ci-dessous :

- ✓ ***AXI4*** pour s'interconnecter avec la mémoire et fournir des performances de transfert élevées. Une adresse est suivie par un burst de donnée qui peut aller jusqu'à 256 mots
- ✓ ***AXI4-Lite*** qui est une liaison simplifiée seulement une donnée est transférée pour une adresse (aucun burst)
- ✓ ***AXI4-Stream*** pour le transfert de donnée à haute vitesse, supportant le transfert par burst de données non limités. Il n'existe aucun mécanisme d'adresse. Ce type de bus convient très bien pour un transfert de données direct entre une source et une destination.

L'interface primaire entre le PS et le PL s'effectue via neuf types d'interfaces AXI, chacune composée de multiples canaux.



Le terme S signifie esclave (slave) le terme M maitre (master)

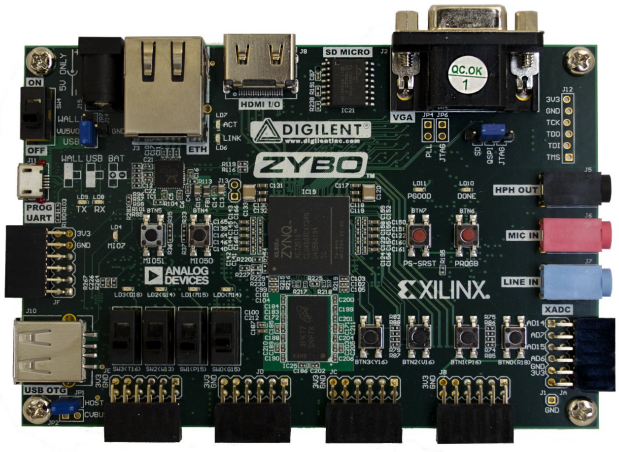
Les différentes interfaces utilisables et leurs noms sont résumés dans le tableau ci-dessous :

Interface Name	Interface Description	Master	Slave
M_AXI_GP0	General Purpose (AXI_GP)	PS	PL
M_AXI_GP1		PS	PL
S_AXI_GP0	General Purpose (AXI_GP)	PL	PS
S_AXI_GP1		PL	PS
S_AXI_ACP	Accelerator Coherency Port (ACP), cache coherent transaction	PL	PS
S_AXI_HP0	High Performance Ports (AXI_HP) with read/write FIFOs. (Note that AXI_HP interfaces are sometimes referred to as AXI Fifo Interfaces, or AFIs).	PL	PS
S_AXI_HP1		PL	PS
S_AXI_HP2		PL	PS
S_AXI_HP3		PL	PS

A noter qu'un IPCORE n'est pas limité qu'à une seule interface AXI4 mais peut disposer de plusieurs interfaces AXI4

6) Le système de développement ZYBO

L'outil de développement que l'on utilisera lors des séances de TP est commercialisé par la société DIGILENT. La carte de développement est appelée ZYBO du diminutif ZYNQ BOARD. C'est une carte à faible cout. La petite sœur de la carte ZEDBOARD qui dispose d'un meilleur potentiel.
La carte ZYBO est basée sur un SOC du type Z-7010 (XC7Z010-1CLG400C)

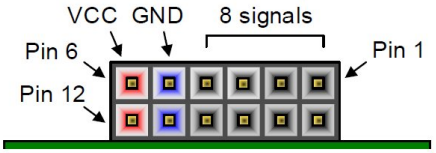


Les principales caractéristiques de la carte ZYBO sont :

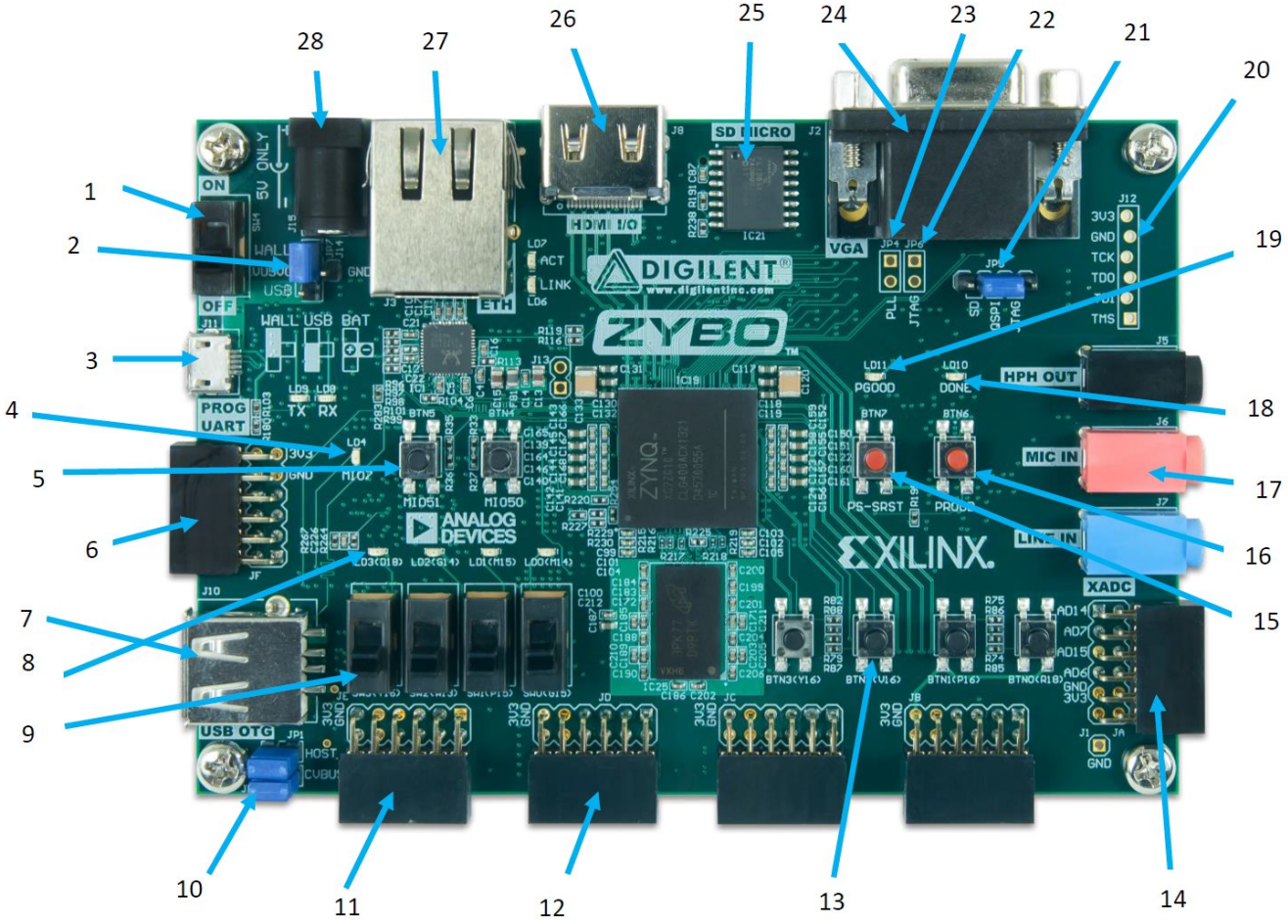
- ✓ Un ZYNQ XC7Z010-1CLG400C
- ✓ 512MB x32 DDR3 w/ 1050Mbps bandwidth
- ✓ Port HDMI entrée et sortie
- ✓ Port VGA 16-bits par pixel
- ✓ ETHERNET (1Gbit/100Mbit/10Mbit)
- ✓ Slot MicroSD (support pour les systèmes de fichier Linux)
- ✓ OTG USB 2.0 PHY (supports host and device)
- ✓ Codec audio avec écouteur sorties microphone en jacks
- ✓ Flash série 128Mb / QSPI interface
- ✓ Programming JTAG sur la carte et convertisseur USB et UART
- ✓ GPIO: 6 boutons poussoirs, 4 switches, 5 LEDs
- ✓ Six connecteurs Pmod

Les connecteurs PMOD et leurs brochages sont donnés ci-dessous :

Pmod JA (XADC)	Pmod JB (Hi-Speed)	Pmod JC (Hi-Speed)	Pmod JD (Hi-Speed)	Pmod JE (Std.)	Pmod JF (MIO)
JA1: N15	JB1: T20	JC1: V15	JD1: T14	JE1: V12	JF1: MIO-13
JA2: L14	JB2: U20	JC2: W15	JD2: T15	JE2: W16	JF2: MIO-10
JA3: K16	JB3: V20	JC3: T11	JD3: P14	JE3: J15	JF3: MIO-11
JA4: K14	JB4: W20	JC4: T10	JD4: R14	JE4: H15	JF4: MIO-12
JA7: N16	JB7: Y18	JC7: W14	JD7: U14	JE7: V13	JF7: MIO-0
JA8: L15	JB8: Y19	JC8: Y14	JD8: U15	JE8: U17	JF8: MIO-9
JA9: J16	JB9: W18	JC9: T12	JD9: V17	JE9: T17	JF9: MIO-14
JA10: J14	JB10: W19	JC10: U12	JD10: V18	JE10: Y17	JF10: MIO-15



Les différents éléments accessibles à l'utilisateur sont résumés dans le tableau page suivante :



Callout	Component Description	Callout	Component Description
1	Power Switch	15	Processor Reset Pushbutton
2	Power Select Jumper and battery header	16	Logic configuration reset Pushbutton
3	Shared UART/JTAG USB port	17	Audio Codec Connectors
4	MIO LED	18	Logic Configuration Done LED
5	MIO Pushbuttons (2)	19	Board Power Good LED
6	MIO Pmod	20	JTAG Port for optional external cable
7	USB OTG Connectors	21	Programming Mode Jumper
8	Logic LEDs (4)	22	Independent JTAG Mode Enable Jumper
9	Logic Slide switches (4)	23	PLL Bypass Jumper
10	USB OTG Host/Device Select Jumpers	24	VGA connector
11	Standard Pmod	25	microSD connector (Reverse side)
12	High-speed Pmods (3)	26	HDMI Sink/Source Connector
13	Logic Pushbuttons (4)	27	Ethernet RJ45 Connector
14	XADC Pmod	28	Power Jack