Une pile IP pour la carte ATLYS

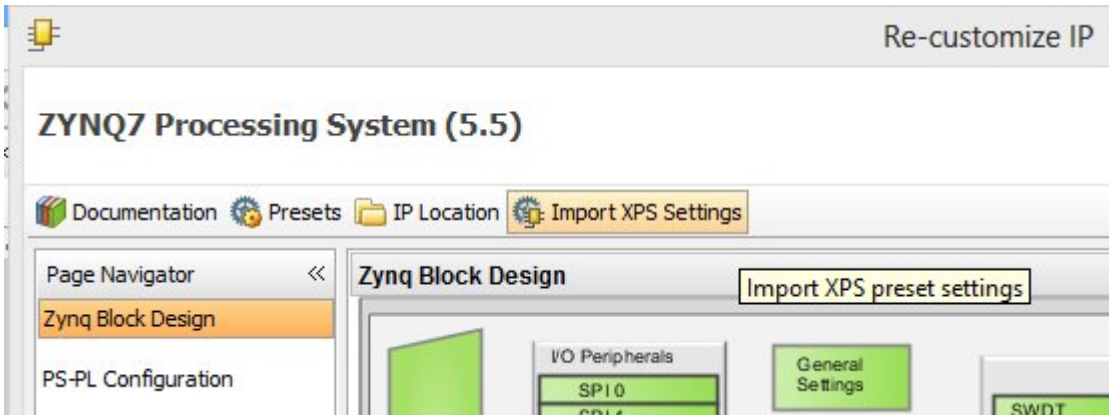
1) Problématique

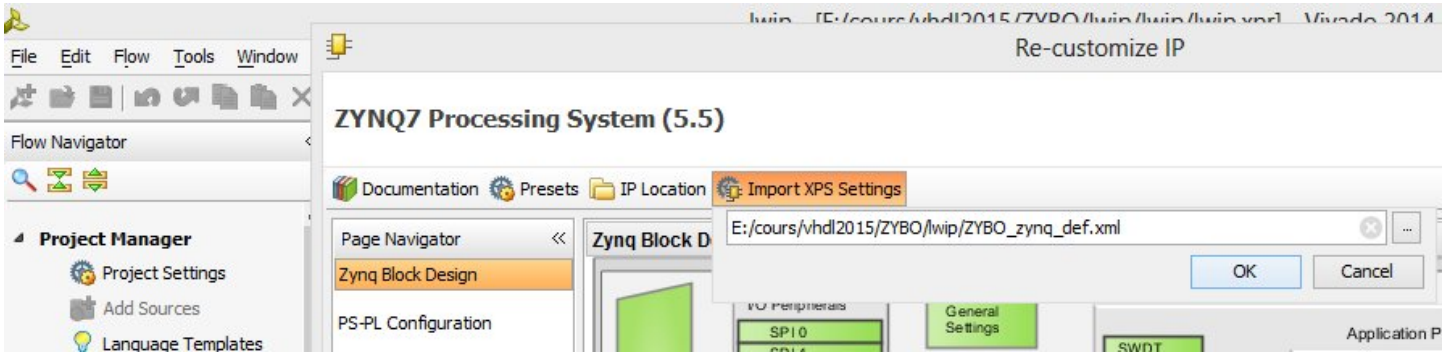
Beaucoup de systèmes embarqués communiquent entre eux par l'intermédiaire de réseaux LAN Ethernet IP. Il est intéressant de disposer logiciellement d'une pile IP implanté sur le SOC ZYNQ de la carte ZYBO. Cette carte dispose matériellement d'un contrôleur de communication ETHERNET de la société Realtek RTL8211E-VL offrant un lien de communication à 10/100/1000 Mbits/s.
Dans cette première partie nous allons intégrer l'architecture matérielle du SOC ZYNQ sous l'environnement logiciel de xilinx VIVADO.

2) Implantation matérielle

Créez un nouveau projet dans le répertoire lwip prenant en compte le fichier de contrainte de la carte ZYNQ
Crééz le nouveau board design suivant :

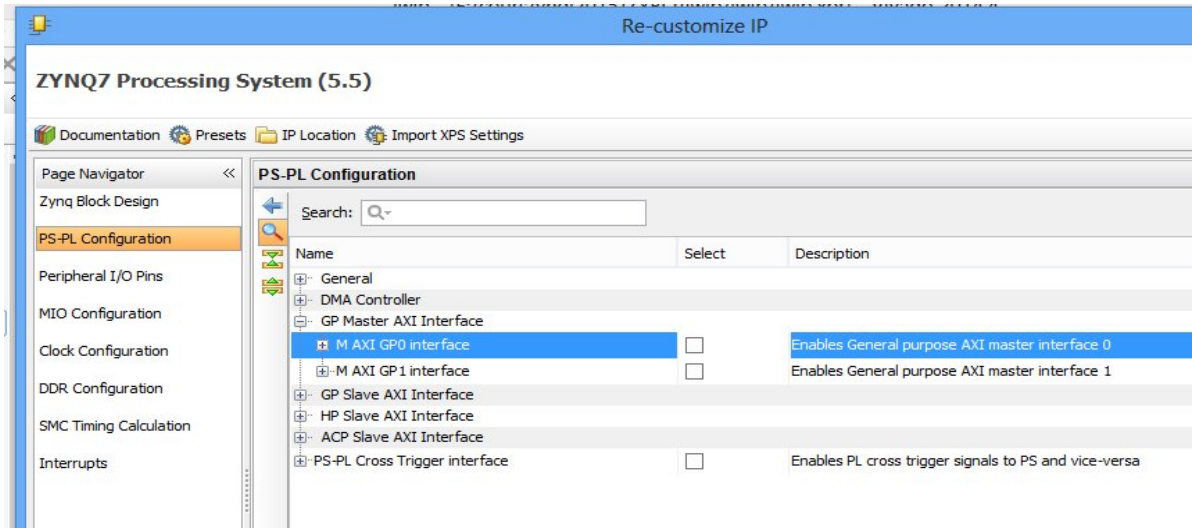
Importez le fichier de configuration du PS :



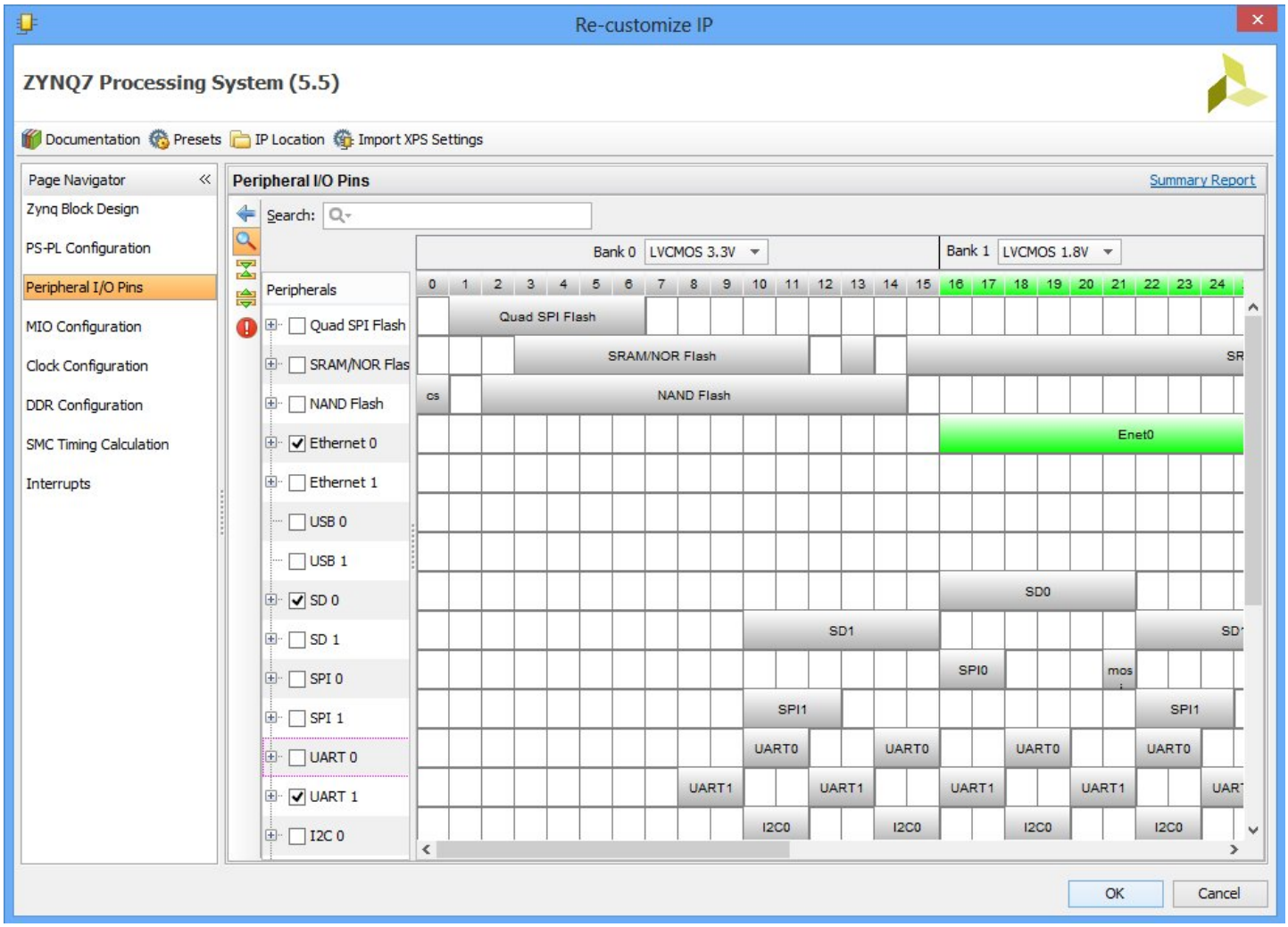


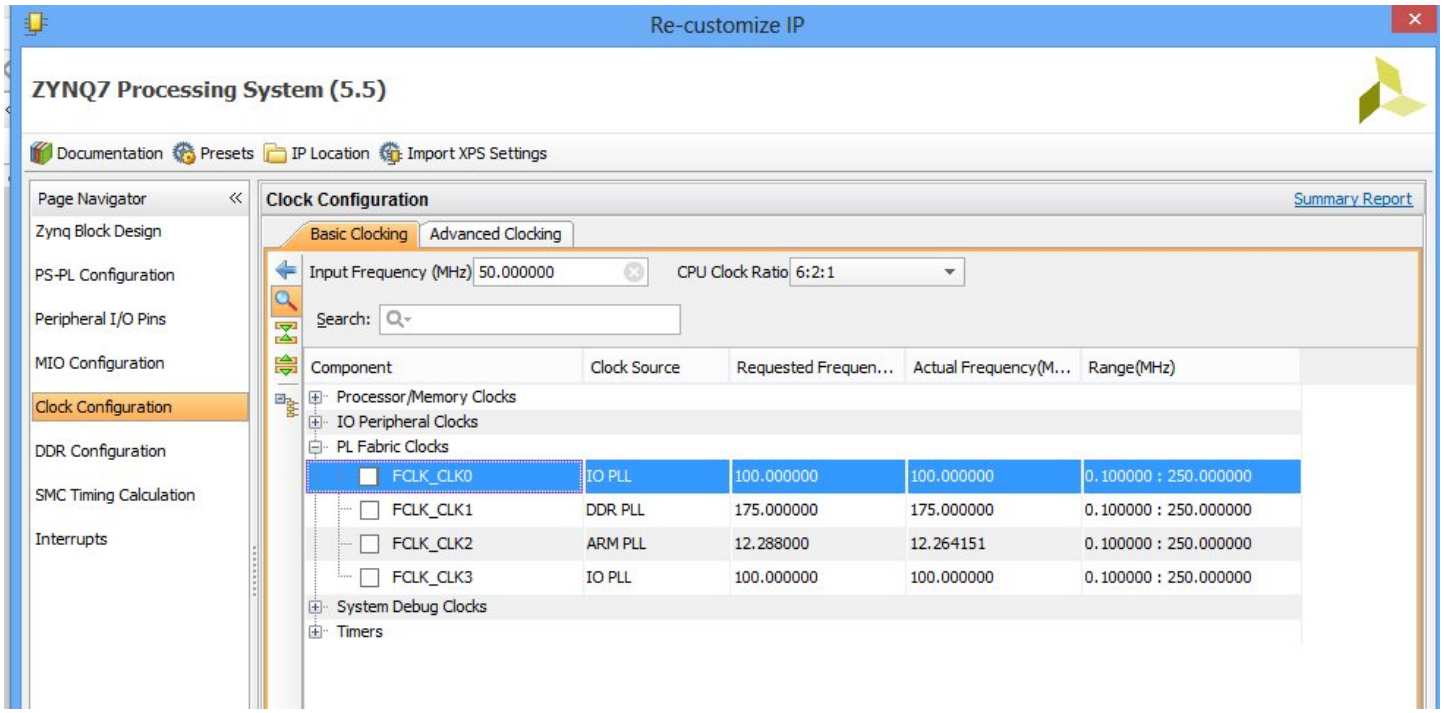
Cliquez sur ok

La configuration minimale est la suivante pour le PS (aucune utilisation de la logique programmable)

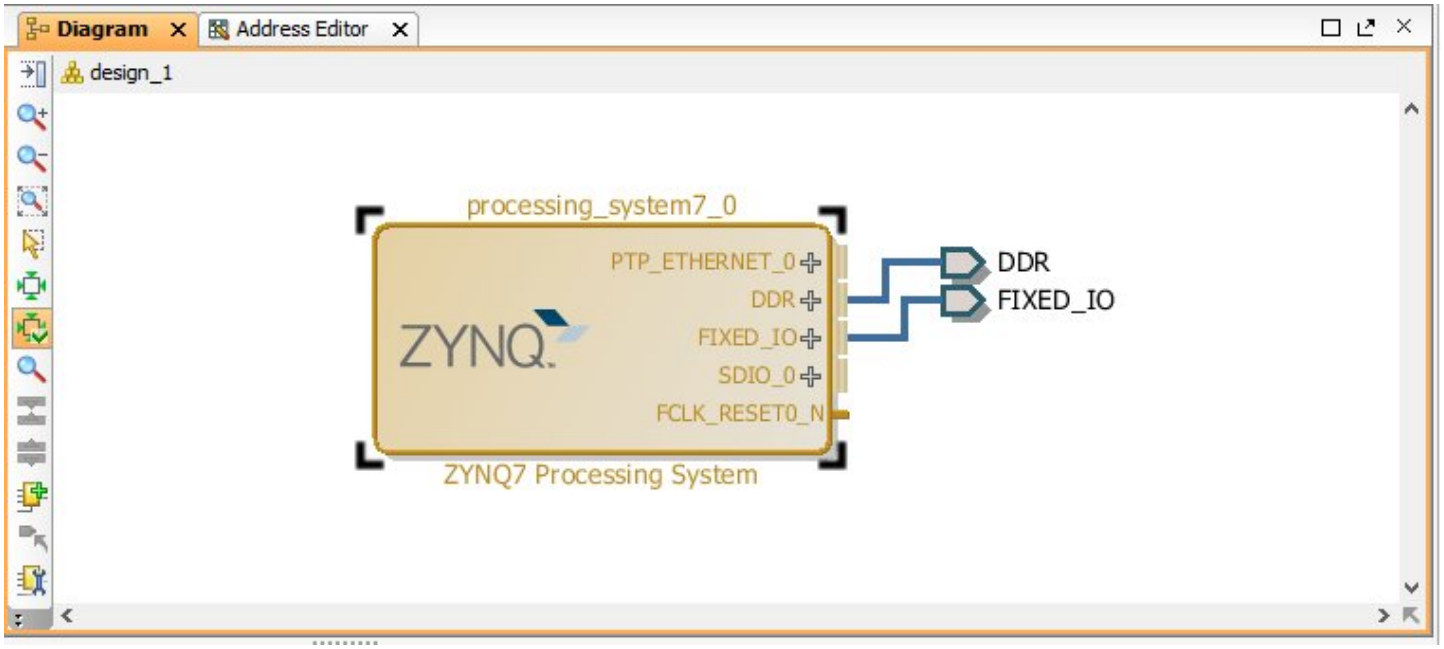


Pour les périphériques internes on ne garde que la SDCARD, ETHERNET et l'UART.

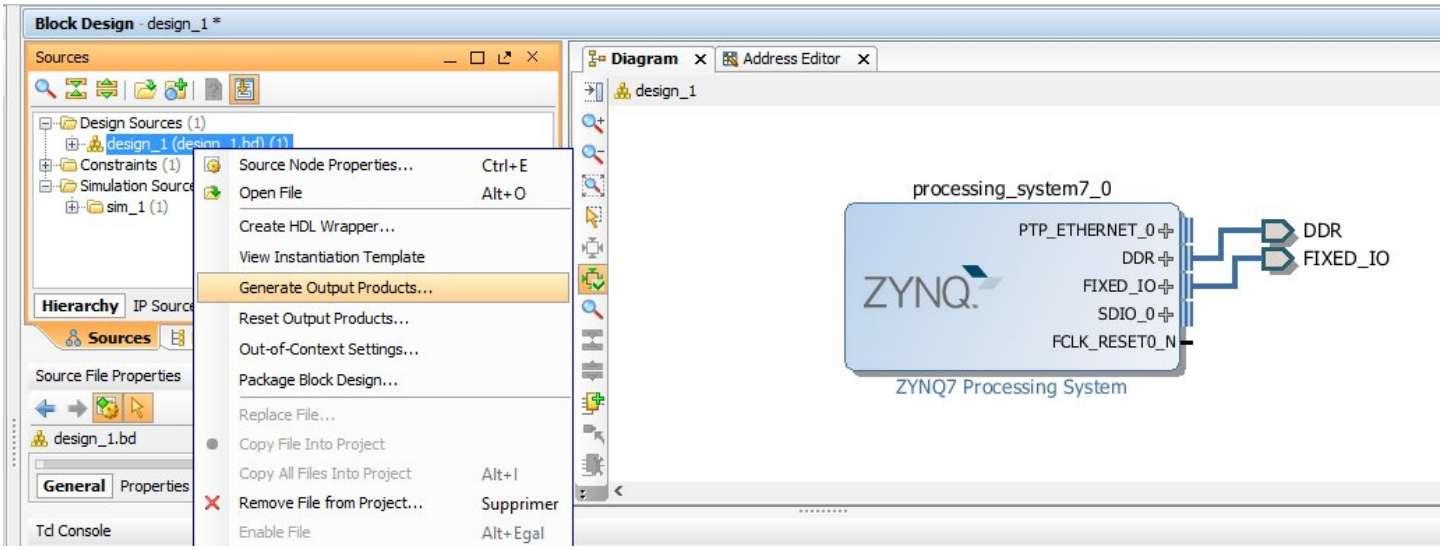




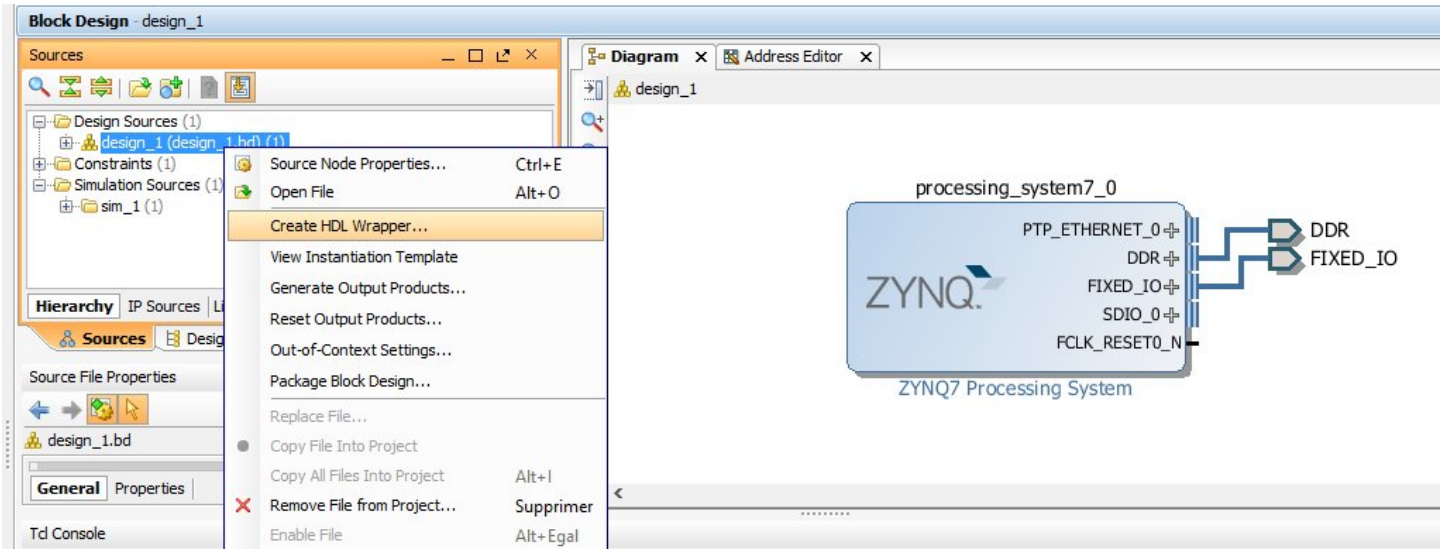
Le symbole de la partie PS est modifié :



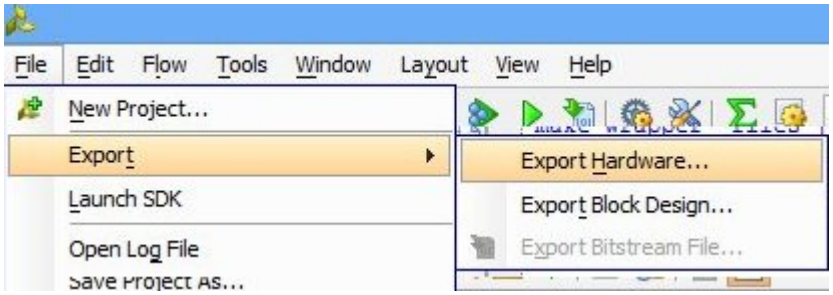
On génère les fichiers de configuration du PS en vue d'une exportation du fichier vers SDK



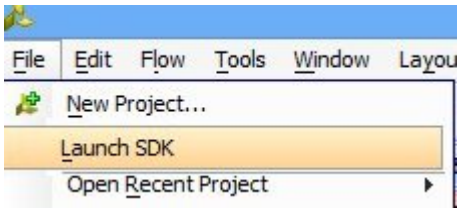
On crée un fichier VHDL de top level (pas nécessaire mais on sait jamais)



On exporte le matériel vers l'environnement de SDK

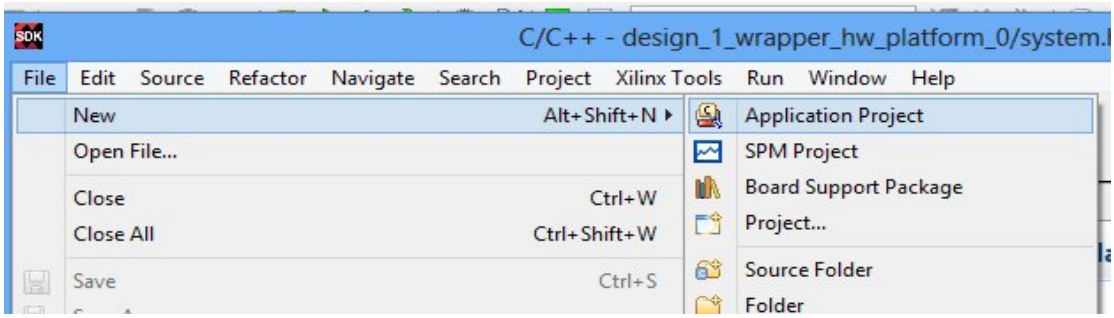


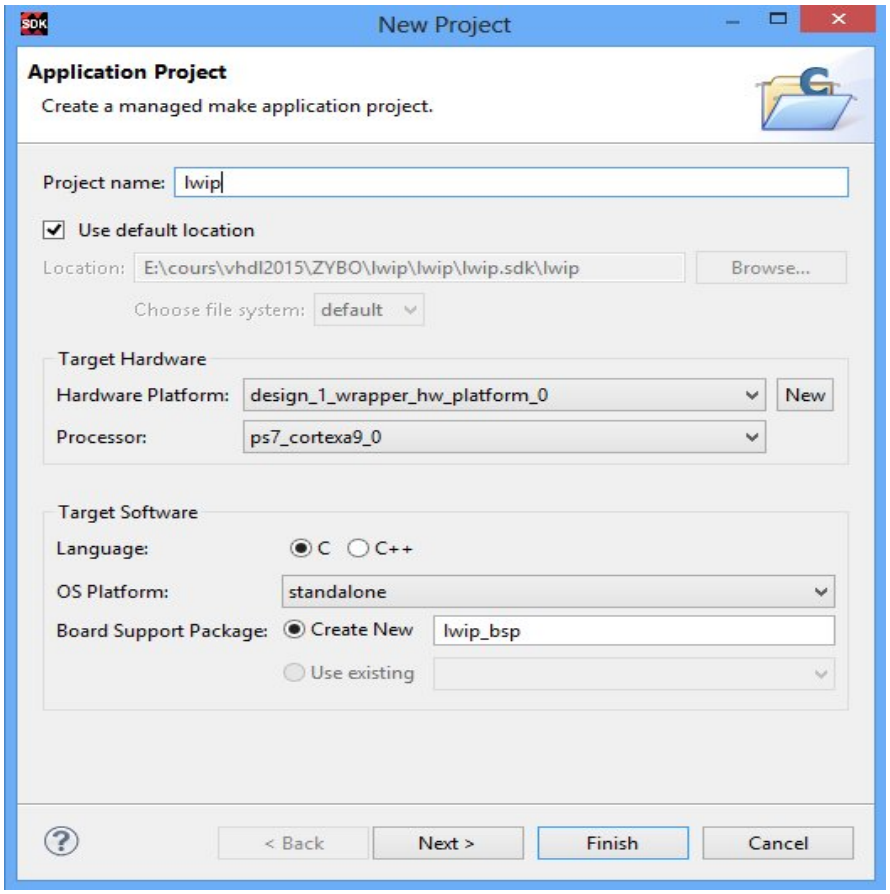
On lance SDK

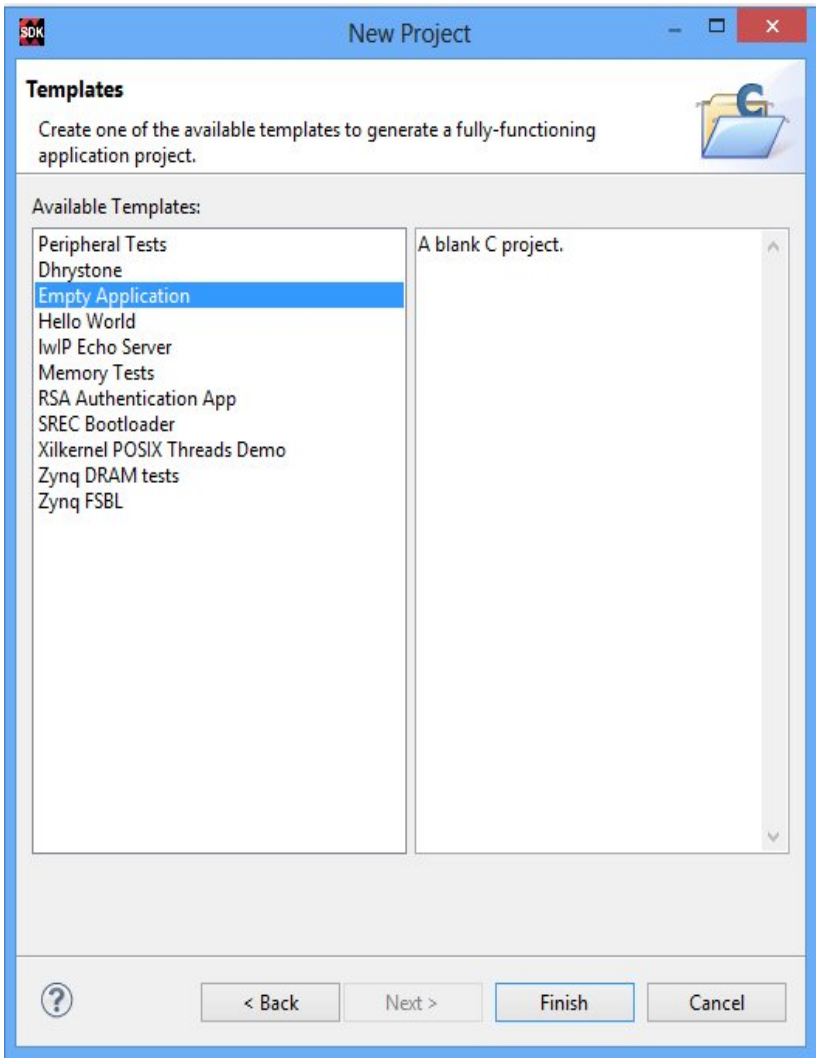


Configuration logicielle de la pile

On doit créer une nouvelle application vide baptisé lwip avec un BSP associé:

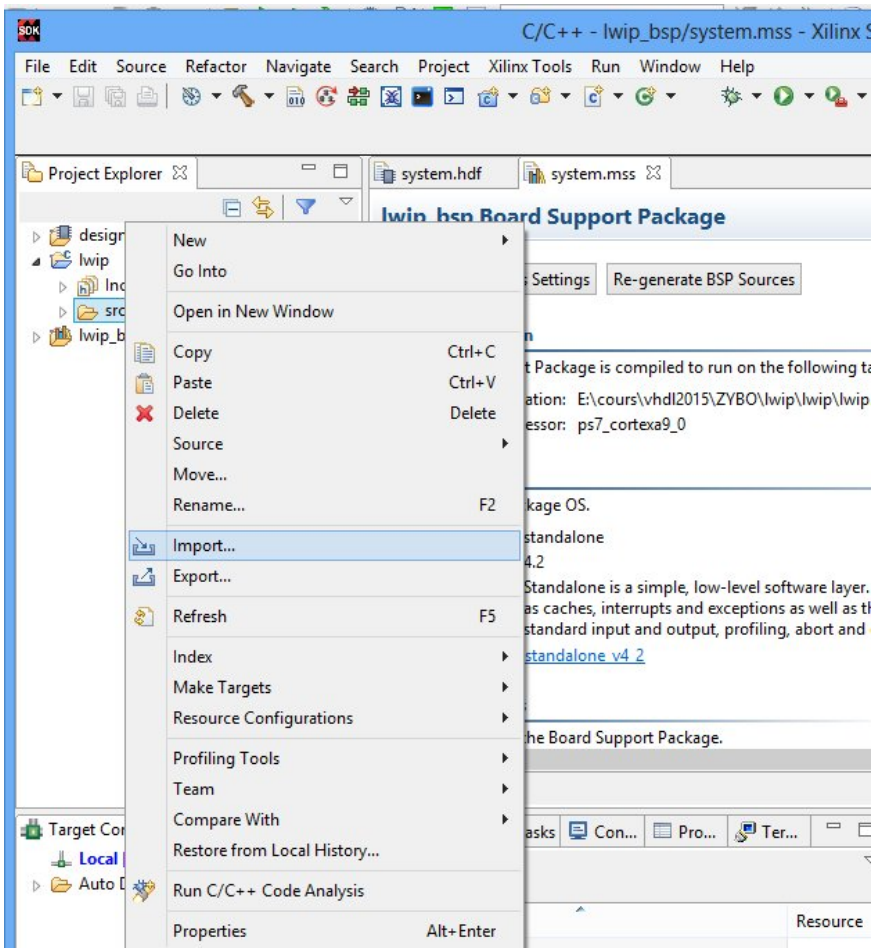




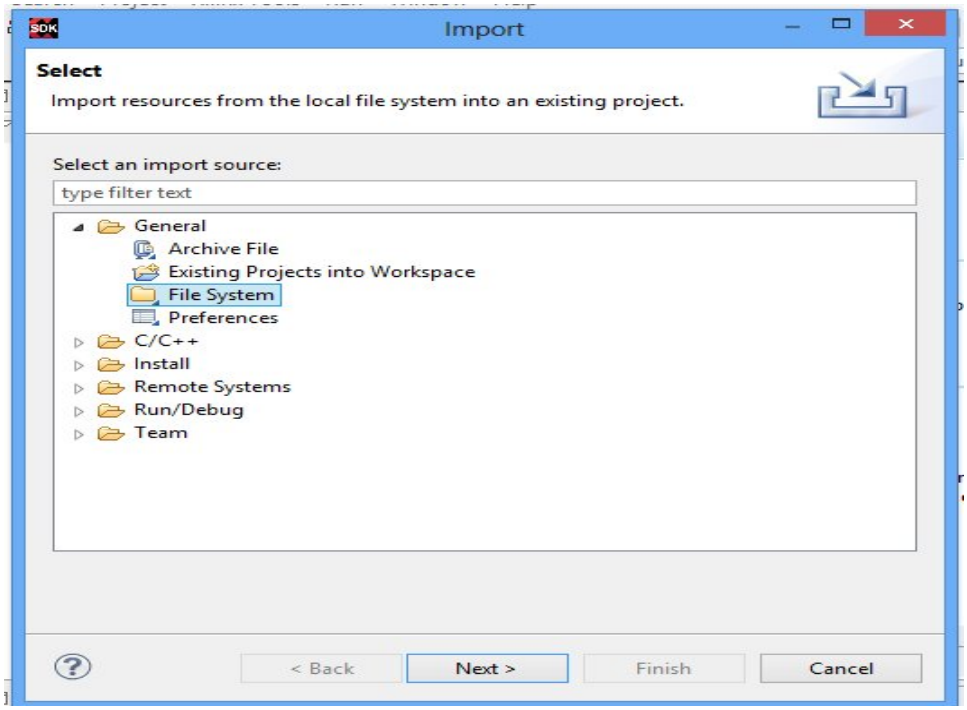


On doit importer la pile du type RAW et tous ces fichiers sources associés.

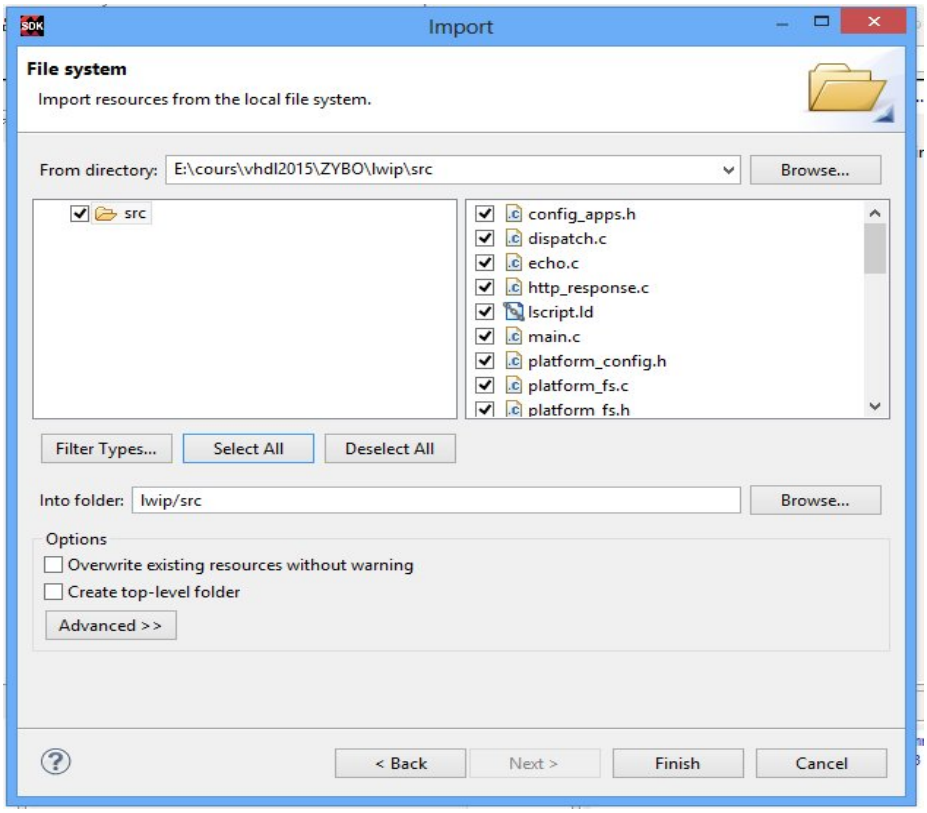
Cliquez droit sur le répertoire SRC puis import



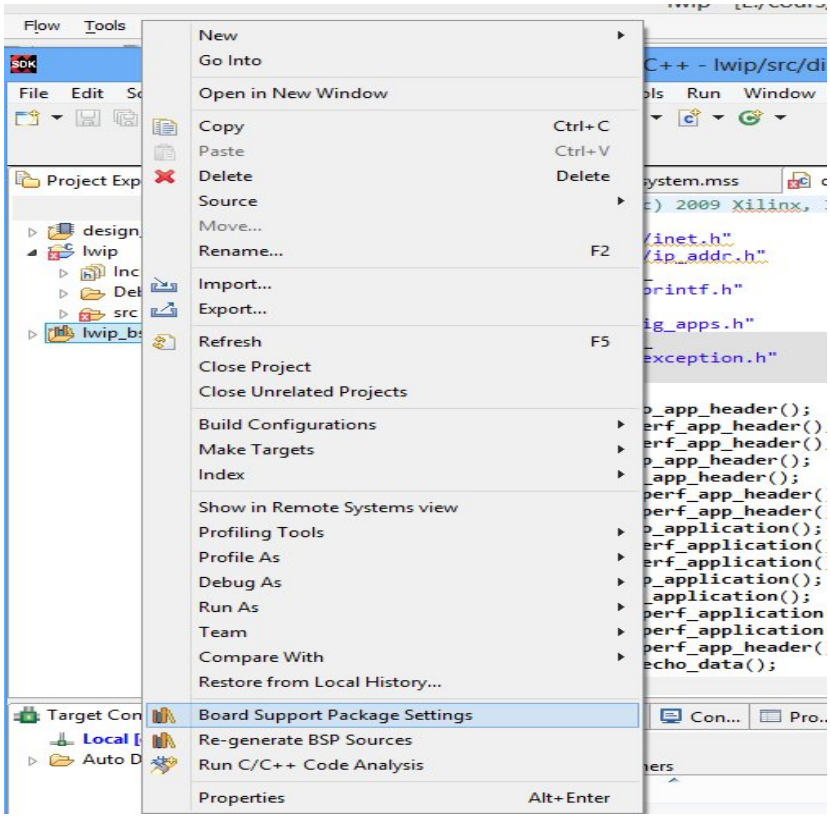
Des fichiers systèmes pour des fichiers sources



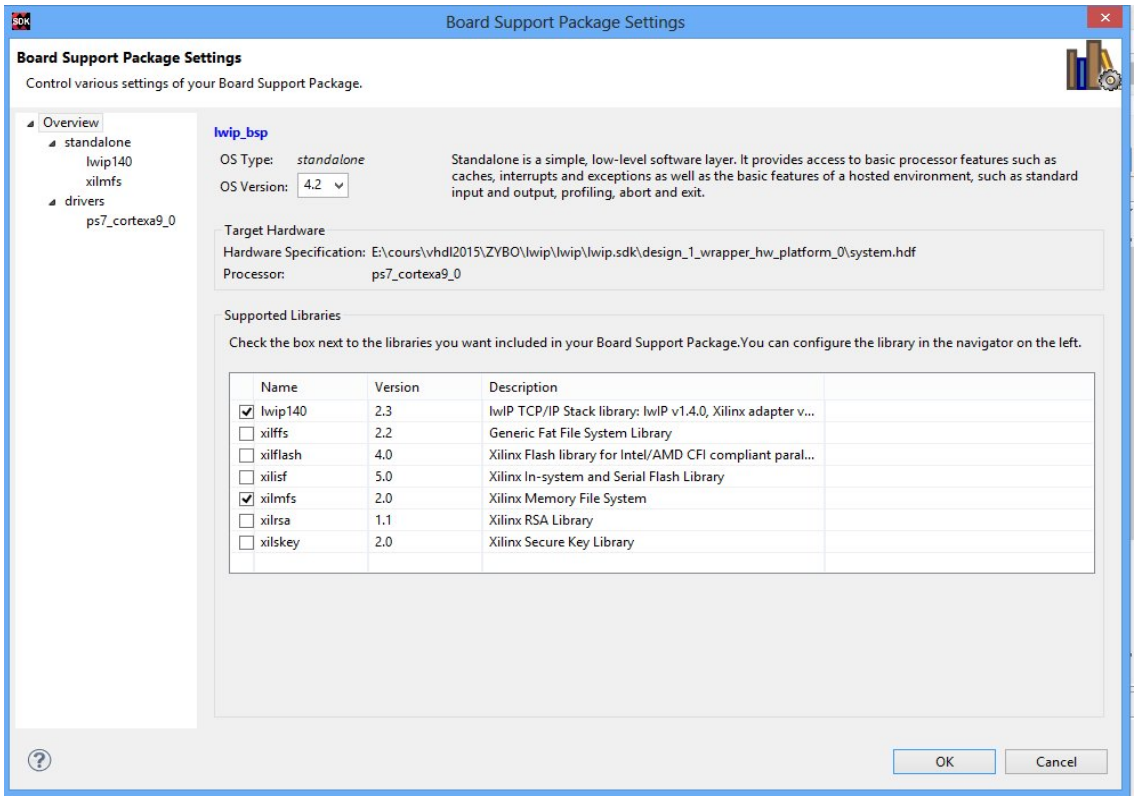
Se déplacer vers le répertoire SRC et sélectionnez tous les fichiers



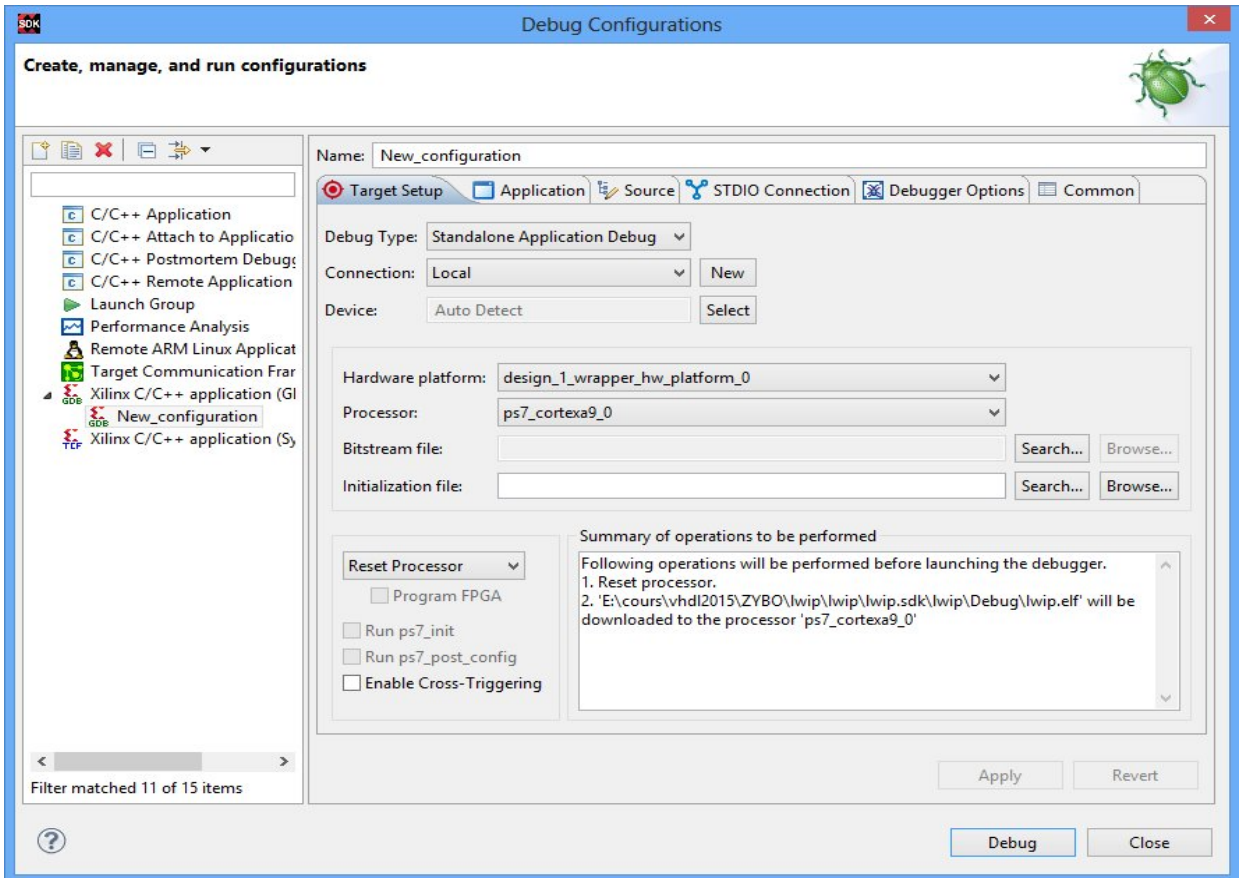
Une erreur de compilation apparait car le BSP ne possède pas les librairies nécessaires pour implémenter une pile IP. On doit configurer le BSP. Cliquez droit sur lwip_bsp puis sélectionnez board support package settings

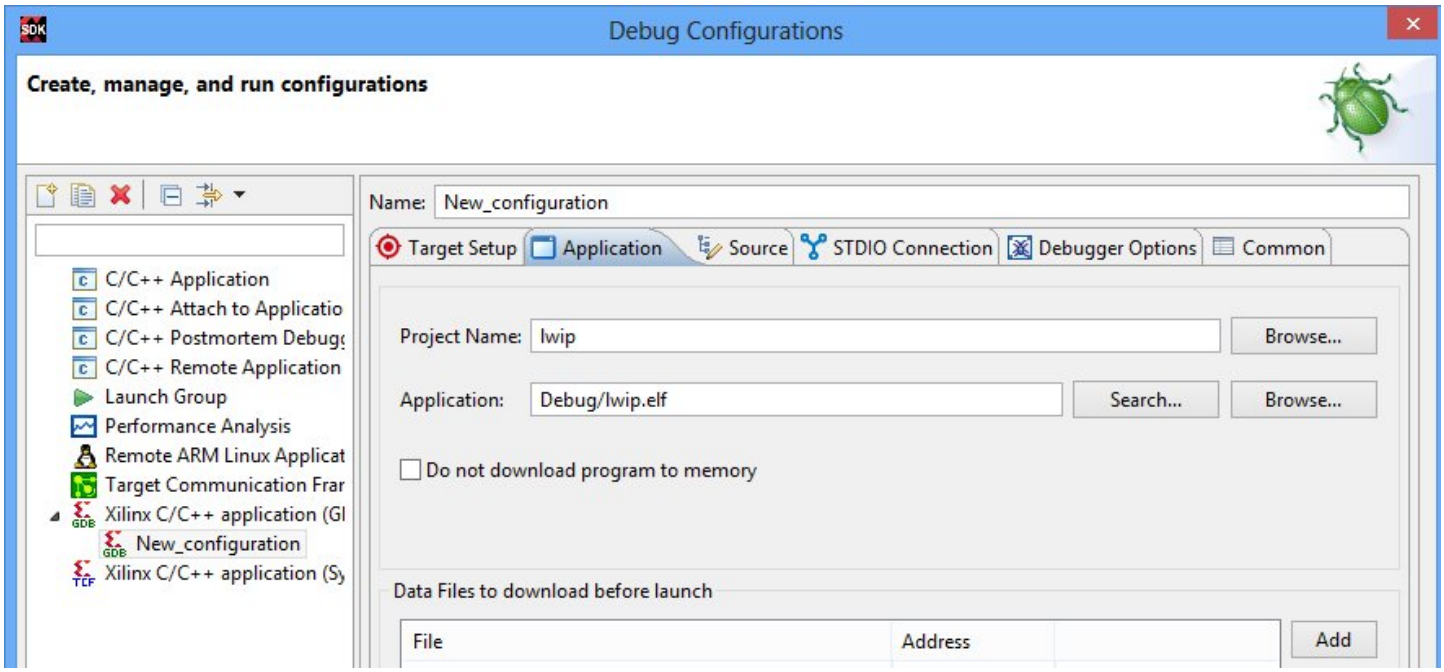


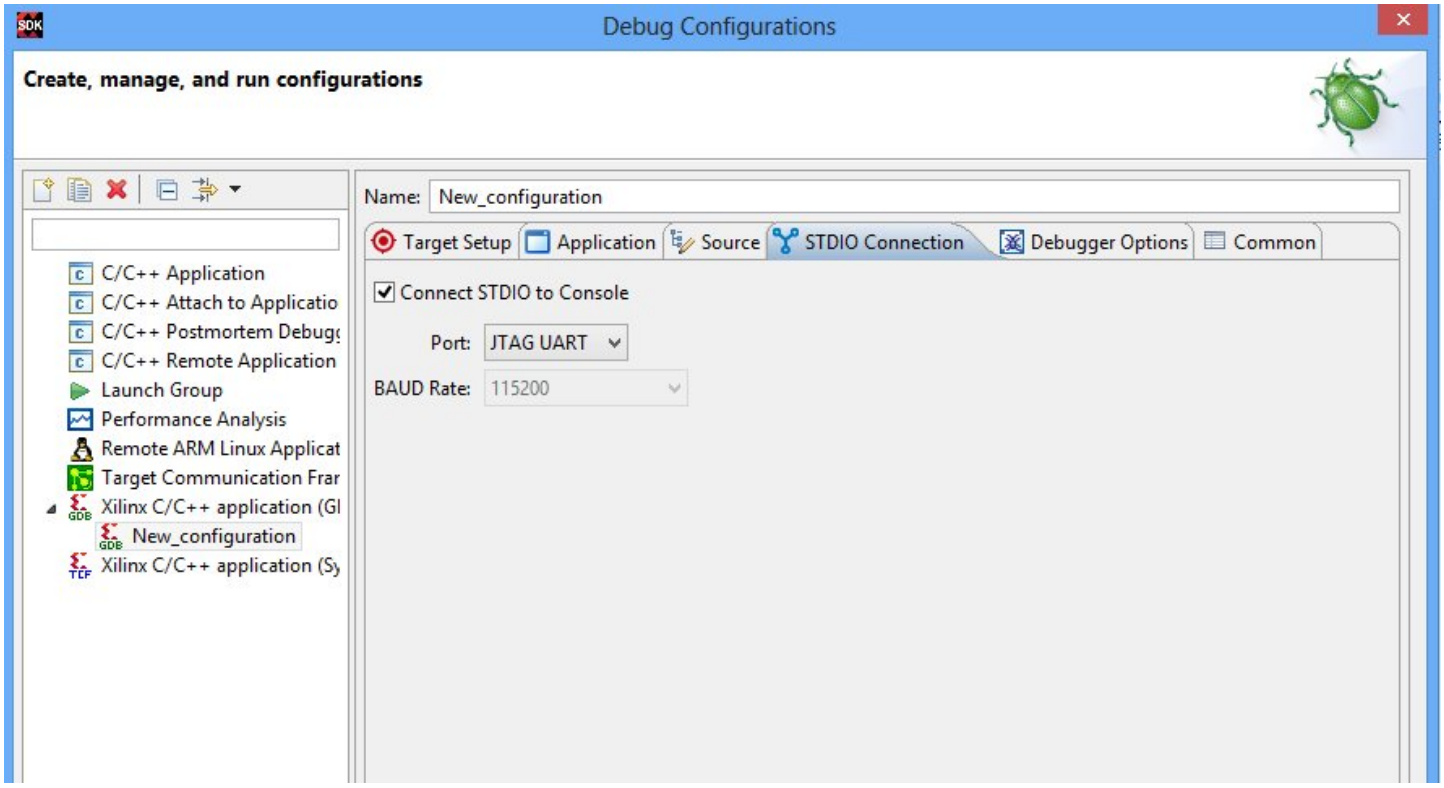
Sélectionnez les éléments suivants



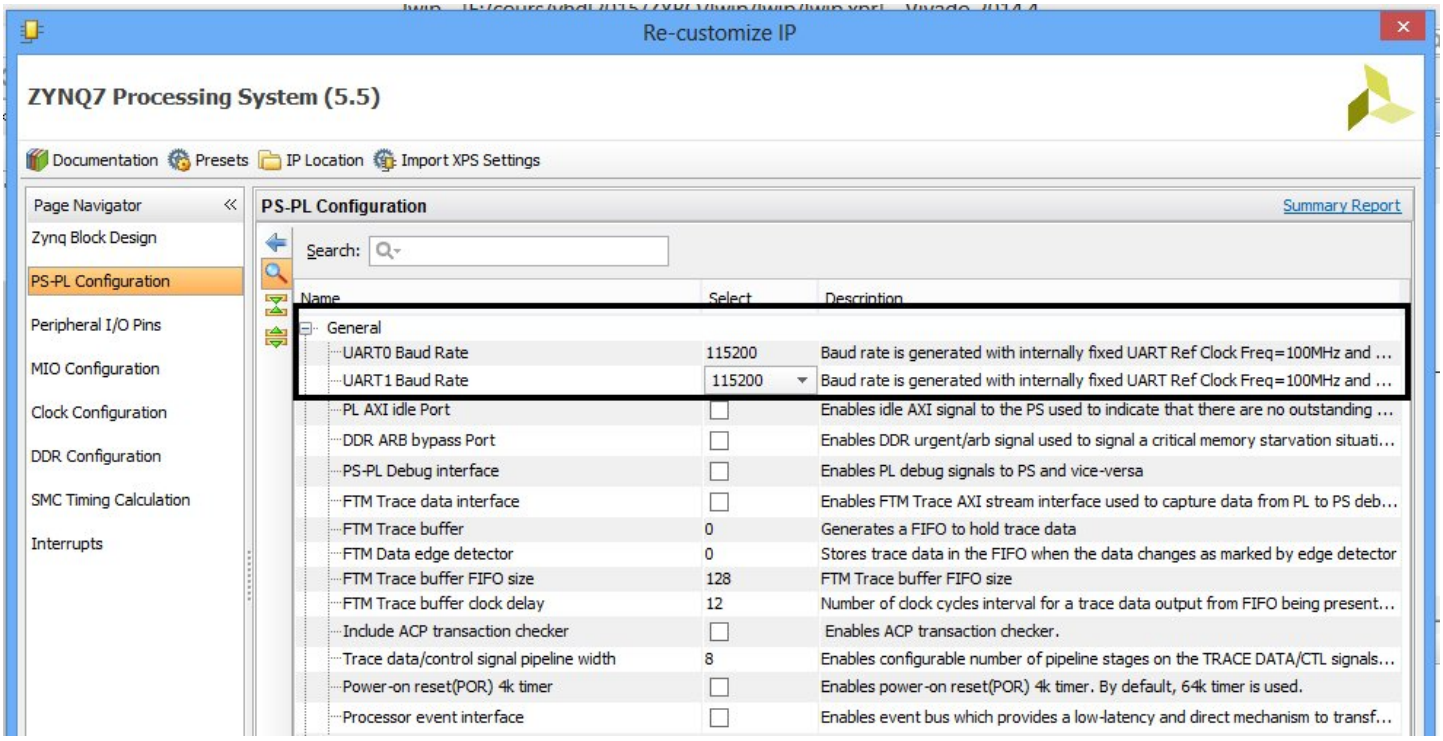
Pour le debugage on choisira les configurations suivantes




Debug Configurations
Create, manage, and run configurations
C/C++ Application
C/C++ Attach to Applicatio
C/C++ Postmortem Debug
C/C++ Remote Application
Launch Group
Performance Analysis
Remote ARM Linux Applicat
Target Communication Frar
Xilinx C/C++ application (GI
New_configuration
Xilinx C/C++ application (Sy
Name: New_configuration
Target Setup
Application
Source
STDIO Connection
Debugger Options
Common
Project Name: lwip
Browse...
Application: Debug/lwip.elf
Search...
Browse...
Do not download program to memory
Data Files to download before launch
File
Address
Add


Debug Configurations
Create, manage, and run configurations
C/C++ Application
C/C++ Attach to Applicatio
C/C++ Postmortem Debug
C/C++ Remote Application
Launch Group
Performance Analysis
Remote ARM Linux Applicat
Target Communication Frar
Xilinx C/C++ application (GI
New_configuration
Xilinx C/C++ application (Sy
Name: New_configuration
Target Setup
Application
Source
STDIO Connection
Debugger Options
Common
Connect STDIO to Console
Port: JTAG UART
BAUD Rate: 115200

Le débit binaire est déterminé lors de la configuration du PS sur vivado :



Lancez votre programme, la console vous affiche :

